

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT

RE 序 22 SEP 2000 08.09.00
WIPO PCT

10-031117

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

JPO00/6146

EKV

出願年月日
Date of Application: 1999年 9月10日

出願番号
Application Number: 平成11年特許願第257990号

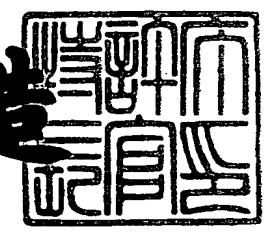
出願人
Applicant(s): 株式会社日立製作所
日立デバイスエンジニアリング株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3067683

【書類名】 特許願

【整理番号】 H99007911

【提出日】 平成11年 9月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 小林 孝

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 後藤 康

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 久禮 得男

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 倉田 英明

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 久米 均

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 木村 勝高

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 佐伯 俊一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板中に第 1 導電型のウェルを形成する工程と、前記シリコン基板上に第 1 絶縁膜を介して浮遊ゲートとなる第 1 パターンを形成する工程と、前記ウェル中にソース・ドレインとなる第 2 導電型の半導体領域を形成する工程と、前記第 1 パターンを覆う第 2 絶縁膜を形成する工程と、前記第 1 パターンによって形成される隙間に、前記第 2 絶縁膜を介して第 3 ゲートを形成する工程と、前記浮遊ゲートおよび第 3 ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法であって、

前記第 3 ゲート上面の標高を前記浮遊ゲートとなる第 1 パターン上面の標高より低く形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記第 3 ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜にドライエッチングを施す第 1 の方法、

前記第 3 ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライエッチングを施す第 2 の方法、

前記第 3 ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後前記多結晶シリコン膜の表面部を酸化し、前記酸化された部分を選択的に除去する第 3 の方法、

の何れかの方法により形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記第 3 ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むフォトレジスト膜を形成し、前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第 1 の方法、

前記第 3 ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を

形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記隙間を埋め込むフォトレジスト膜を形成し、前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第2の方法、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記隙間のシリコン酸化膜を選択的に除去し、前記隙間を埋め込むフォトレジスト膜を形成し、前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第3の方法、

の何れかの方法により形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項3記載の半導体集積回路装置の製造方法であって、

前記フォトレジスト膜および多結晶シリコン膜のドライエッチングは、前記フォトレジスト膜および多結晶シリコン膜がほぼ等しいエッチング速度でエッチングされることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜上にシリコン酸化膜を形成し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記多結晶シリコン膜にドライエッチングを施し、前記シリコン酸化膜を除去する方法により形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項3～5の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記多結晶シリコン膜の膜厚は、前記浮遊ゲートとなる第1パターンの膜厚よりも薄いことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 シリコン基板中に第1導電型のウェルを形成する工程と、前記シリコン基板上に第2絶縁膜を介して第3ゲートを形成する工程と、前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、前記第3ゲートを覆う第1絶縁膜を形成する工程と、前記第3ゲートによって形成さ

れる隙間に、前記第 1 絶縁膜を介して浮遊ゲートとなる第 1 パターンを形成する工程と、前記浮遊ゲートおよび第 3 ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法であって、

前記第 3 ゲート上面の標高を前記浮遊ゲートとなる第 1 パターン上面の標高より低く形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 7 記載の半導体集積回路装置の製造方法であって、

前記第 1 パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜にドライエッチングを施す第 1 の方法、

前記第 1 パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライエッチングを施す第 2 の方法、

前記第 1 パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施す第 3 の方法、

前記第 1 パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むフォトレジスト膜を形成し、前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第 4 の方法、

前記第 1 パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施す第 5 の方法、

の何れかの方法により形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 1～8 の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記第 3 ゲートは、前記浮遊ゲートに対して自己整合的に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 請求項 1～8 の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記浮遊ゲートは、前記第 3 ゲートに対して自己整合的に形成されることを特

徴とする半導体集積回路装置の製造方法。

【請求項 1 1】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、前記第 3 ゲートが前記第 1 ゲートの隙間に埋め込んで形成されている半導体集積回路装置であって、

前記第 3 ゲート表面の標高が、前記第 1 ゲート表面の標高よりも低いことを特徴とする半導体集積回路装置。

【請求項 1 2】 請求項 1 1 記載の半導体集積回路装置であって、
前記第 3 ゲートが消去ゲートである第 1 の構成、
前記第 3 ゲートがスプリットチャネルを制御するゲートである第 2 の構成、
前記第 3 ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有する第 3 の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項 1 3】 請求項 1 1 または 1 2 記載の半導体集積回路装置であって

前記第 3 絶縁膜が、窒素を添加したシリコン酸化膜であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体集積回路装置およびその製造方法に関し、特に電氣的書き換えが可能な不揮発性半導体記憶装置の高集積化、高信頼化、高速で、低電圧の動作を実現する技術に関する。

【0 0 0 2】

【従来の技術】

電氣的書き換えが可能な不揮発性半導体記憶装置のうち、一括消去が可能なものとしていわゆるフラッシュメモリが知られている。フラッシュメモリは携帯性

、耐衝撃性に優れ、電氣的に一括消去が可能なことから、近年、携帯型パーソナルコンピュータやデジタルスチルカメラ等の小型携帯情報機器のファイル（記憶装置）として急速に需要が拡大している。その市場の拡大にはメモリセル面積の縮小によるビットコストの低減が重要な要素であり、たとえば、1996年11月10日、応用物理学会発行、「応用物理」第65巻11号、p1114～p1124に記載されているように、これを実現する様々なメモリセル方式が提案されている。

【0003】

また、たとえば、特許第2694618号公報（文献1）には3層ポリシリコンゲートを用いた仮想接地型のメモリセルが記載されている。すなわち、このメモリセルは、半導体基板中のウェルに形成された半導体領域および3つのゲートから構成される。3つのゲートは、ウェル上に形成された浮遊ゲート、浮遊ゲート上に形成された制御ゲート、および隣り合う制御ゲート、浮遊ゲート間に形成された消去ゲートである。3つのゲートはポリシリコンからなり、各々絶縁膜で分離され、浮遊ゲートとウェルとの間も絶縁膜で分離されている。制御ゲートは行方向に接続されてワード線を構成している。ソースおよびドレイン拡散層は列方向に形成され、隣接するメモリセルと拡散層を共用する仮想接地型である。これにより行方向のピッチ縮小を図っている。消去ゲートはチャンネルと平行で、かつ、ワード線（制御ゲート）の間にワード線と平行に配置される。

【0004】

この文献1記載のメモリセルへの書込みの際は、ワード線およびドレインにそれぞれ独立した正の電圧を印加し、ウェル、ソースおよび消去ゲートは0Vとする。これによりドレイン近傍のチャンネル部でホットエレクトロンが発生し、浮遊ゲートに電子が注入され、メモリセルのしきい値が上昇する。消去の際は、消去ゲートに正の電圧を印加し、ワード線、ソース、ドレインおよびウェルは0Vとする。これにより浮遊ゲートから消去ゲートに電子が放出され、しきい値が低下する。

【0005】

また、たとえば特開平9-321157号公報（文献2）には、スプリットゲ

ート型のメモリセルが開示され、拡散層と浮遊ゲートとのオーバーラップを大きくとり、拡散層の電位により浮遊ゲート電位を大とするとともに、ワード線に低い電圧を印加することにより、情報書き込みの際のホットエレクトロンの発生と注入効率を高める方法が提案されている。

【0006】

また、たとえばインターナショナル エレクトロン デバイシズ ミーティング テクニカル ダイジェスト 1989、603頁から606頁 (International Electron Devices Meeting, 1989, pp. 603-606) (文献3) には、浮遊ゲート電位をワード線で制御するとともに、浮遊ゲートおよび制御ゲートとは異なる第3ゲートによりスプリットチャネルを制御する方法が論じられている。

【0007】

【発明が解決しようとする課題】

しかし、前記したメモリセルにおいては、高集積化を進めるといくつかの問題が生じることを本発明者らは認識した。なお、以下の問題点は、本発明者らによって検討されたものであり、特に公知にされたわけではない。

【0008】

すなわち、前記文献1に記載の技術においては、第3のゲートの上表面が浮遊ゲートの上表面より上部に存在するメモリセル構造となっている。このようなメモリセル構造では、浮遊ゲートの上端の凸部と第3ゲートとが層間絶縁膜を介して対向して存在している。本構造では、消去動作を行なうための電圧を第3のゲートに印加すると、浮遊ゲート上端部分の層間絶縁膜の電界が局所的に増大し、この部分で主にトンネル電流が流れる。このため、消去動作を繰り返して行なうと、上記浮遊ゲート上端部付近の層間絶縁膜が劣化し、浮遊ゲートに蓄積された電荷が第3のゲートに漏洩してデータの保持(リテンション)が困難になるという問題がある。また、繰り返し消去を行なうことにより、上記浮遊ゲート上端部付近の層間絶縁膜に電子がトラップされる結果、トンネル電流が減少し、消去速度が低下するという問題がある。

【0009】

また、前記文献1記載のメモリセルにおいては、チャネル部の一部分に浮遊ゲ

ートが存在しないスプリットチャンネル型と呼ばれるメモリセル構造が採用されている。そして、前記メモリセルにおけるスプリットチャンネルの制御は、そのスプリットチャンネル上に存在する制御ゲート（ワード線）の電位を制御することにより行われる。従って、ワード線はスプリットゲートとしての機能も有することとなる。メモリセルへのデータの書込みの際には、ホットエレクトロンの発生および注入効率を増大する必要がある。このためには、浮遊ゲートの電位を大きくしてチャンネル部の垂直方向の電界を大とするとともに、スプリットゲートの電位を低くしてチャンネル水平方向の電界を増大することが効果的である。しかしながら前記文献 1 記載のメモリセルでは、スプリットゲートの電位はワード線電位によって制御されるから、浮遊ゲートとスプリットゲートの電位を独立に制御することはできない。すなわち、ワード線の電位によって浮遊ゲートおよびスプリットゲートの両電位を制御せざるを得ず、ホットエレクトロンの発生および注入効率を同時に増大できないという問題がある。このため、データの書込みの際に、注入電流に対し、非常に大きなチャンネル電流が流れてしまい、複数のメモリセルを同時に書込めないという問題がある。このため、高い書込み速度が得られないという問題も生じる。

【0010】

また、スプリットチャンネル型のメモリセルであってホットエレクトロンの発生および注入効率を同時に増大する方法として、前記文献 2 記載の手段が考え得るが、この方法では、微細化に伴い、拡散層と浮遊ゲートのオーバーラップが取り難くなるという問題が生じる。

【0011】

さらに、前記文献 3 記載の技術により、浮遊ゲート電位をワード線で制御するとともに、浮遊ゲートおよび制御ゲートとは異なる第 3 ゲートによりスプリットチャンネルを制御する方法が考え得るが、この技術においては微細化に関する検討、観点が欠落している。

【0012】

本発明の目的は、高い信頼性を有し、書換え速度が速い半導体集積回路装置及びその製造方法を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

すなわち、本発明の半導体集積回路装置の製造方法は、シリコン基板中にたとえばp型（第1導電型）のウェルを形成し、第1絶縁膜を介して浮遊ゲートパターン（第1パターン）を形成し、さらにソース・ドレインとなるn型半導体領域を形成し、第1パターンを覆う第2絶縁膜を形成し、第1パターンによって形成される隙間に第3ゲートを形成し、さらに制御ゲートを形成する工程を有する半導体集積回路装置の製造方法であって、第3ゲート上面の標高を浮遊ゲートとなる第1パターン上面の標高より低く形成するものである。

【0016】

第3ゲートの形成方法は、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜にドライエッチングを施す第1方法、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜に化学的機械研磨法（CMP）法による研磨を施し、その後ドライエッチングを施す第2方法、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜にCMP法による研磨を施し、その後多結晶シリコン膜の表面部を酸化し、酸化された部分を選択的に除去する第3方法がある。

【0017】

また、第3ゲートは、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、隙間を埋め込むフォトレジスト膜を形成し、フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第4方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、多結晶シリコン膜にCMP法による研磨を施し、隙間を埋め込むフォトレジスト膜を形成し、フォトレジスト膜および

多結晶シリコン膜にドライエッチングを施す第5方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、隙間を埋め込むシリコン酸化膜を堆積し、シリコン酸化膜および多結晶シリコン膜にCMP法による研磨を施し、隙間のシリコン酸化膜を選択的に除去し、隙間を埋め込むフォトレジスト膜を形成し、フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第6方法、の何れかの方法により形成することもできる。

【0018】

この第4～第6方法の場合、フォトレジスト膜および多結晶シリコン膜がほぼ等しいエッチング速度でエッチングされるようにエッチング条件を選択することができる。

【0019】

また、第3ゲートは、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、多結晶シリコン膜上にシリコン酸化膜を形成し、シリコン酸化膜および多結晶シリコン膜にCMP法による研磨を施し、多結晶シリコン膜にドライエッチングを施し、シリコン酸化膜を除去する第7方法により形成することができる。

【0020】

この第4～第7方法の場合、多結晶シリコン膜の膜厚は、浮遊ゲートとなる第1パターンの膜厚よりも薄く形成することができる。

【0021】

また、本発明の半導体集積回路装置の製造方法は、シリコン基板中にたとえばp型（第1導電型）のウェルを形成し、シリコン基板上に第2絶縁膜を介して第3ゲートを形成し、ウェル中にソース・ドレインとなるn型（第2導電型）の半導体領域を形成し、第3ゲートを覆う第1絶縁膜を形成し、第3ゲートによって形成される隙間に、浮遊ゲートとなる第1パターンを形成し、さらに制御ゲートを形成する工程とを有する半導体集積回路装置の製造方法であって、第3ゲート上面の標高を浮遊ゲートとなる第1パターン上面の標高より低く形成するものである。

【 0 0 2 2 】

この第 1 パターンは、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜にドライエッチングを施す第 1 方法、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜に CMP 法による研磨を施し、その後ドライエッチングを施す第 2 方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、多結晶シリコン膜に CMP 法による研磨を施す第 3 方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、隙間を埋め込むフォトレジスト膜を形成し、フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第 4 の方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、隙間を埋め込むシリコン酸化膜を堆積し、シリコン酸化膜および多結晶シリコン膜に CMP 法により研磨を施す第 5 の方法、の何れかの方法により形成できる。

【 0 0 2 3 】

なお、前記した方法において、第 3 ゲートは浮遊ゲートに対して自己整合的に形成できる。また、前記した方法において、浮遊ゲートは第 3 ゲートに対して自己整合的に形成できる。

【 0 0 2 4 】

本発明の半導体集積回路装置は、半導体基板の主面に形成された第 1 導電型のウェルと、ウェル内に形成された第 2 導電型の半導体領域と、半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、第 3 ゲートが第 1 ゲートの隙間に埋め込んで形成されている半導体集積回路装置であって、第 3 ゲート表面の標高が、第 1 ゲート表面の標高よりも低いものである。

【 0 0 2 5 】

この場合、第 3 ゲートは、消去ゲート、スプリットチャネルを制御するゲート、あるいはその両方の機能を有するゲートとすることができる。

【 0 0 2 6 】

また、第 3 絶縁膜は、窒素を添加したシリコン酸化膜とすることができる。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0028】

(実施の形態1)

図1は、本発明の実施の形態1である半導体集積回路装置の一例を示した一部平面図であり、図2(a)、(b)および(c)は、各々、図1におけるA-A'、B-B'およびC-C'線断面図である。なお、図1の平面図において、図面を見やすくするため各部材にハッチングを施し、一部の部材は省略している。

【0029】

本実施の形態の半導体集積回路装置は、いわゆるフラッシュメモリのメモリセルを有し、このメモリセルは半導体基板200の主面に形成されたウェル201中のソース/ドレイン拡散層205、第1ゲート(浮遊ゲート)203b、第2ゲート(制御ゲート)211a、および第3ゲート207aを有する。各メモリセルの制御ゲート(第2ゲート)211aは行方向(x方向)に接続され、ワード線WLを形成している。

【0030】

浮遊ゲート(第1ゲート)203bとウェル201はゲート絶縁膜(第1絶縁膜)202に、浮遊ゲート203bと第3ゲート207aは絶縁膜(第3絶縁膜)206aに、浮遊ゲート203bとワード線(制御ゲート)211aは絶縁膜(第2絶縁膜)210aに、第3ゲート207aとワード線211aは絶縁膜208aにより、それぞれ分離されている。

【0031】

ソース/ドレイン拡散層205はワード線211aの延在方向(x方向)に垂直な方向(y方向)に延在して配置され、列方向(y方向)のメモリセルのソース/ドレインを接続するローカルソース線およびローカルデータ線として機能する。すなわち、本実施の形態の半導体集積回路装置は、メモリセル毎にコンタク

ト孔を持たない、いわゆるコンタクトレス型のアレイから構成される。この拡散層 205 に垂直な方向 (x 方向) にチャネルが形成される。

【0032】

第3ゲート 207 a の2つの端面は、前記浮遊ゲート 203 b の端面のうちワード線 211 a およびチャネルとそれぞれ垂直な2つの端面と、それぞれ絶縁膜 206 a を介して対向して存在する。

【0033】

また、第3ゲート 207 a はワード線 211 a およびチャネルと垂直な方向 (y 方向) に存在する浮遊ゲート 203 b の隙間に埋込まれて存在する。さらに、浮遊ゲート 203 b が第3ゲート 207 a に対し対称に、また前記第3ゲート 207 a が浮遊ゲート 203 b に対し対称に存在する。

【0034】

一方、本実施の形態においては、ソース/ドレインを形成する1対の拡散層 205 が浮遊ゲートパターン 203 b に対し非対称の位置関係にあり、一方の拡散層が浮遊ゲートとオーバーラップしないオフセット構造となっている。また、本実施の形態においては、第3ゲート 207 a と拡散層 205 はそれぞれの一部分がオーバーラップするように存在する。これにより、本実施の形態では第3ゲート 207 a 下のウェル中にもチャネルが形成され、第3ゲート 207 a は消去ゲートとしてばかりではなく、その下部に存在するチャネルを制御するゲートとしても機能する。

【0035】

すなわち、書込みの際は制御ゲートに正の大きな電圧、例えば 12 V 程度を、また、第3ゲートには 2 V 程度の低い電圧を、また、ドレインには 5 V 程度の電圧を印加する。ソース及びウェルは 0 V に保持する。これにより第3ゲート 207 a 下のウェル中にチャネルが形成され、ソース側の浮遊ゲート端部のチャネルでホットエレクトロンが発生し、浮遊ゲートに電子が注入される。つまり本第3ゲート 207 a はその下部に存在するチャネルを制御するゲートとして機能する。本メモリセルによれば、従来の NOR 型フラッシュメモリに比べホットエレクトロンの発生及び注入効率が増大し、チャネル電流の小さな領域での書込みが可

能となる。従って、従来と同程度の電流供給能力をもつ内部電源で、キロバイトオーダー以上の多数個のメモリセルの並列書込みが可能となる。

【0036】

消去の際はワード線に負の大きな電圧、例えば -13.5 V を、また第3ゲートに正の小さな電圧、例えば 3.5 V を印加する。これにより、浮遊ゲートから第3ゲートにトンネル電流が流れ、浮遊ゲートに蓄積された電子が放出される。つまり、第3ゲート207aは消去ゲートとしても機能することになる。本実施の形態では第3ゲート207aの上表面が浮遊ゲート203bの上表面より下になるような構造となっている。これにより、消去の際、浮遊ゲート上端部での局所的な電界の増大が防止でき、繰り返し書換え後の層間絶縁膜（絶縁膜206a）の劣化を抑制することが可能となる。これによりメモリセルの信頼性が確保できる。

【0037】

なお、このような構造では、浮遊ゲート203bと制御ゲート211a以外の第3ゲート207aが存在する場合であっても、ワード線WL方向（x方向）、およびローカルデータ線方向（y方向）のピッチを最小加工寸法の2倍とすることができ、従って、メモリセル面積をクロスポイント型のアレイでは最小の $4F^2$ （F：最小加工寸法）に縮小することが可能となる。

【0038】

図3～図5は、実施の形態1の半導体集積回路装置の製造方法の一例を示した断面図である。

【0039】

まず、半導体基板200にp型（第1導電型）のウェル201を形成し、ウェル201上にたとえば熱酸化法により 12 nm 程度のゲート絶縁膜（第1絶縁膜）202を形成する（図3（a））。

【0040】

続いて浮遊ゲート203bとなるリン（P）をドーピングしたポリシリコン膜203とシリコン窒化膜204を順次堆積する（図3（b））。ポリシリコン膜203とシリコン窒化膜204の堆積には、たとえばCVD（Chemical Vapor D

eposition) 法を用いることができる。

【0041】

次にリソグラフィとドライエッチング技術により前記シリコン窒化膜204およびポリシリコン膜203をパターニングする。このパターニングによりシリコン窒化膜204およびポリシリコン膜203は、シリコン窒化膜204aおよびポリシリコン膜203aとなる(図3(c))。シリコン窒化膜204aおよびポリシリコン膜203aは、y方向に延在して形成されるようにストライプ状にパターニングされる。

【0042】

その後、斜めイオン打込み法により砷(As)イオンをウェル201に打込み、メモリセルのソース/ドレインとなる拡散層205を形成する。(図3(d))。拡散層205は、メモリセルのソース線またはデータ線として機能する。このイオン注入の際にはシリコン窒化膜204aおよびポリシリコン膜203aがマスクとして機能し、拡散層205はポリシリコン膜203aに対して自己整合的に形成される。なお、シリコン窒化膜204aおよびポリシリコン膜203aがy方向に延在してストライプ状に形成されているため、拡散層205はy方向に延在して形成される。また、拡散層205は斜めイオン打込み法により形成されるため、照射イオンがシリコン窒化膜204aおよびポリシリコン膜203aで遮蔽され、ポリシリコン膜203a間の全領域には拡散層205は形成されない。また、斜め方向からイオンが照射されるため、ポリシリコン膜203a下部の一部にも拡散層205が形成される。これにより前記の通り第3ゲート207aと拡散層205とがそれぞれの一部分がオーバーラップするように形成され、第3ゲート207a下のウェル201中にもチャンネルが形成されるようになる。

【0043】

なお、本工程でエッチングされる部材(シリコン窒化膜204aおよびポリシリコン膜203a)には金属膜あるいは金属化合物が含まれていないため、このエッチング工程後の洗浄工程では金属が溶出しエッチングされた部材壁面に溶出金属が再付着することがない。このため、次工程で説明するシリコン酸化膜20

6に金属（不純物）が含まれることが無く、シリコン酸化膜206の欠陥を低く抑え、信頼性を高めることができる。

【0044】

次に、浮遊ゲート203bと第3ゲート207aを分離するためのシリコン酸化膜206を以下の方法により形成する。

【0045】

まず、減圧化学気相成長法（LPCVD：Low Pressure Chemical Vapor Deposition）により10.5nm程度のシリコン酸化膜を堆積する（図3（e））。続いてこのシリコン酸化膜をアンモニア雰囲気中で熱処理し、前記シリコン酸化膜206に窒素を導入する。その後、窒素が導入されたシリコン酸化膜206にウェット酸化処理を行う。これは、アンモニア中での熱処理によりシリコン酸化膜中に導入された水素を除去するためである。

【0046】

このような方法により形成されたシリコン酸化膜206は、膜中の電荷トラップ量が小さく、高い書換え耐性を有している。すなわち、仮にシリコン酸化膜206中に電荷がトラップされるとトラップされた電子は放置状態で第3ゲートに移動し、この移動電子の量が多い場合にはリテンション不良を引き起こす可能性が大きくなる。移動電子量はトラップ密度とともに増大するから、シリコン酸化膜206中のトラップ量が多いとリテンション不良を引き起こす確率が高くなる。しかし、本実施の形態では、膜中の電荷トラップ量が抑制されるため、リテンション不良を抑制し、高い書換え耐性を実現できる。また、シリコン酸化膜206に金属不純物が含まれないことは前記の通りである。

【0047】

その後、第3ゲート207aとなるリン（P）をドーピングしたポリシリコン膜207を浮遊ゲートパターン203aの隙間が完全に埋まるように堆積する（図4（a））。ポリシリコン膜207の形成にはたとえばCVD法を用いる。

【0048】

その後、たとえば異方性ドライエッチングを行い、ポリシリコン膜207をエッチバックする。これにより浮遊ゲートパターン203aの隙間に所定の厚さに

残した第3ゲート207aを形成する(図4(b))。ここで、前記エッチバック後残存するポリシリコン膜(第3ゲート207a)の膜厚は、浮遊ゲートポリシリコン203aの膜厚に比べて小さくなるように調整して形成する。このように、第3ゲート207aの膜厚を薄く形成することにより浮遊ゲートポリシリコン203aと第3ゲート207aとを絶縁する絶縁膜206aの信頼性を向上し、リテンション不良を低減できることは前記の通りである。

【0049】

その後、シリコン酸化膜208を浮遊ゲートパターン203aの隙間が完全に埋まるように堆積する(図4(c))。シリコン酸化膜208の堆積には、たとえばCVD法を用いる。

【0050】

次に、シリコン酸化膜208をたとえば化学的機械研磨法(CMP法:Chemical Mechanical Polishing)によりシリコン窒化膜204aが露出するまで研磨する。(シリコン窒化膜204aおよびシリコン酸化膜206および208はそれぞれシリコン窒化膜204b、絶縁膜206aおよびシリコン酸化膜208aとなる(図4(d))。

【0051】

その後、たとえば熱リン酸水溶液を用いてシリコン窒化膜204bを除去し、ポリシリコン203aの表面を露出させる(図5(a))。次に、リン(P)をドーピングしたポリシリコン膜209を堆積し(図5(b))、これを異方性ドライエッチングする(ポリシリコン膜209は209aとなる)(図5(c))。ポリシリコン膜209aはポリシリコン203aと電氣的に接続しており、この2層のポリシリコンで浮遊ゲートを形成する。ポリシリコン209aは浮遊ゲートの表面積を増大し、メモリセルのカップリング比を増大する効果がある。これにより書込み/消去時の内部動作電圧の低減が可能となる。

【0052】

次に、図3(e)で示した方法と同一の手法により、浮遊ゲートとワード線を分離する窒素を添加したシリコン酸化膜(膜厚10.5nm程度)210を形成する(図5(d))。

【0053】

その後、ポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜、いわゆるポリメタル膜を堆積し、これをリソグラフィとドライエッチング技術によりパターニングしてワード線 211a を形成する。このパターニングは、ワード線 211a が x 方向に延在するように、すなわち拡散層 205、第3ゲート 207a の延在方向 (y 方向) に垂直な方向 (x 方向) に延在するようにパターニングされる。

【0054】

さらにシリコン酸化膜 210、ポリシリコン膜 209a、203a をエッチングし、浮遊ゲートを完成した (これによりシリコン酸化膜 210 は 210a に、ポリシリコン 203a、209a はそれぞれ 203b および 209b となる) (図 5 (e))。なお、このエッチング工程では、シリコン酸化膜 210 がエッチングされる段階ではシリコン酸化膜がエッチングできる条件でエッチングを行うが、ポリシリコン膜 209a、203a がエッチングされる段階では、シリコンはエッチングされるがシリコン酸化膜はエッチングされない選択エッチングの条件でエッチングを行う。これにより、シリコン酸化膜である絶縁膜 208a がエッチングストッパとして機能し、絶縁膜 208a 下部の第3ゲート 207a がエッチングされることはない。すなわち、このエッチング工程により、第3ゲート 207a は y 方向に延在して形成されたストライプ状の形体を維持しつつ、浮遊ゲート 203b は、x 方向、y 方向の両方向において分断され、島状の浮遊ゲートが形成される。

【0055】

その後、図には示していないが、層間絶縁膜を形成した後、ワード線 211a、ソース/ドレイン拡散層 205、ウェル 201、第3ゲート 207a に至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成できる。

【0056】

図 6 は、上記方法により形成したメモリセルにおいて繰返し書換えを行なった際の手換え回数としきい値電圧の関係を示したグラフである。同図には比較のた

め、前記文献 1 の技術を用いて作成したメモリセルのデータを従来技術として示した。

【0057】

従来技術では書換え回数が 10^4 回を越えた付近から消去速度が低下し、しきい値ウィンドウが狭くなる。これは次の理由によると考えられる。

【0058】

すなわち、従来技術においては、浮遊ゲートの上表面が第 3 ゲートの上表面よりも低い位置に存在する。このような構造のメモリセルにおいて消去電圧を第 3 ゲートに印加すると、浮遊ゲート上端の凸部に電気力線が集中し、この部分のポリシリコン間を絶縁する層間絶縁膜の電界が浮遊ゲート側壁平坦部に比べ増大する。このため浮遊ゲート上端の凸部でのみトンネル電流が流れる結果、凸部に接した部分の層間絶縁膜が少ない書換え回数で劣化し、電子がトラップされる。このような電子トラップにより層間絶縁膜に印加される電界が実効的に減少した結果、消去速度が低下し、しきい値ウィンドウが狭くなると考えられる。

【0059】

これに対し本実施の形態のメモリセルにおいては、 10^6 回の書換えを行ってもしきい値ウィンドウにほとんど変化を生じない。これは浮遊ゲート 209 a の上表面の凸部が厚い酸化膜 208 a に接しており、消去の際の電子放出が浮遊ゲート 203 b の側壁平坦部で行われるためである。

【0060】

図 7 は本実施の形態のメモリセルを 10^6 回書換えた後、放置した際のしきい値電圧の変化を測定した結果を示すグラフである。同図にも前記同様の従来技術における結果を併記した。

【0061】

従来技術においては、放置時間の増大とともに大きなしきい値の低下が見られた。これに対し、本実施の形態の場合は、しきい値の低下は観察されなかった。これは、従来技術に比べ本実施の形態のメモリセルの方が書換えに伴うポリシリコン間の層間絶縁膜の劣化が少なく、浮遊ゲートに蓄積された電子の第 3 ゲートへの漏洩が抑制されたためである。

【0062】

なお、第3ゲートの上表面を浮遊ゲート上表面より低い位置とすることは、動作電圧の低減にも有効である。図8は、所定の時間で消去動作を完了しようとした時の、浮遊ゲート上表面-第3ゲート上表面間の標高差と制御ゲート-第3ゲート間の電位差との関係を示したグラフである。ここでは浮遊ゲート膜厚は一定とした。ここで第3ゲート上表面が浮遊ゲート上表面より高い位置にある場合は標高差は正の値を、第3ゲート上表面が浮遊ゲート上表面より低い位置にある場合は標高差は負の値を有する。同図より、第3ゲート上表面が浮遊ゲート上表面より低い位置にあるほど、消去の際の第3ゲート制御ゲート間電圧を小さくでき、動作電圧が低減可能であることがわかる。

【0063】

また、第3ゲート上表面が浮遊ゲート上表面より高い位置にある場合は、ワード線-第3ゲート間が短絡し、所望のメモリセル動作ができなくなる不良が発生したが、第3ゲート上表面を浮遊ゲート上表面より低い位置とすることにより、本不良は抑制可能であった。

【0064】

また、上記方法により形成したメモリセルは、浮遊ゲート及び制御ゲート以外の第3ゲートを有するにもかかわらず、ローカルデータ線方向及びワード線方向の寸法を、それぞれ最小加工寸法 F の2倍とすることが可能であった。このため、メモリセル面積を $4F^2$ に縮小することができた。

【0065】

(実施の形態2)

図9は、本発明の実施の形態2である半導体集積回路装置の製造方法の一例を示した断面図である。本実施の形態の製造方法と実施の形態1の製造方法との違いは、第3ゲートとなるポリシリコン膜を堆積する際、その膜厚を実施の形態1の場合に比べて薄くした点にある。そして、膜堆積後にできた浮遊ゲートパターン隙間のポリシリコン上の窪みにレジストを埋込み、上記レジストと第3ゲートとなるポリシリコンを概ね等速でエッチバックしてポリシリコンのみを浮遊ゲートパターン間に残す。フラッシュメモリセルの平面配置、完成後の断面構造、動

作方式は実施の形態 1 と同一でありここでは説明を省略する。

【0066】

以下、本実施の形態の製造方法を説明する。まず実施の形態 1 の図 3 (a) から (e) に示したのと同じの方法により、シリコン基板 200 にウェル 201、ゲート酸化膜 202、浮遊ゲートパターン 203a、204a、拡散層 205、浮遊ゲートと第 3 ゲートとを分離するための窒素を添加したシリコン酸化膜 206 を順次形成した (図示せず)。

【0067】

その後、第 3 ゲートとなるリンをドーピングしたポリシリコン膜 212 を浮遊ゲートパターン 203a、204a の隙間が埋まらないように堆積した (図 9 (a))。ポリシリコン膜 212 の膜厚は概ねメモリセル完成後の第 3 ゲートの膜厚である。

【0068】

次にホトレジスト 213 を、浮遊ゲートパターン 203a、204a の隙間が完全に埋まるように塗布した (図 9 (b))。その後、上記ホトレジスト 213 とポリシリコン膜 212 を概ね等しい速度でエッチバックし、ポリシリコン膜 212 のみを浮遊ゲートパターン 203a、204a の隙間に所定の厚さ残した (ポリシリコン 212 は 212a となる) (図 9 (c))。エッチングはホトレジストが完全になくなった状態を終点とした。

【0069】

その後、実施の形態 1 の図 4 (c) から図 5 (e) と同様の方法によりシリコン酸化膜 208a、2 層目の浮遊ゲートポリシリコン膜 209a、窒素を添加したシリコン酸化膜 210、ポリメタル膜からなるワード線 211a を形成し、メモリセルを完成した。

【0070】

本方法により形成したメモリセルは実施の形態 1 に比べて第 3 ゲート 212a の膜厚ばらつきを低減可能であった。すなわち、ポリシリコン膜 212 を膜として形成し、この膜厚をもって第 3 ゲートの膜厚とすることができるため、膜厚制御が容易である。また、本実施の形態では流動性に富むレジスト 213 を形成す

るため、エッチバック開始時のレジスト 2 1 3 の表面平坦性を向上できる。このためエッチバック後の第 3 ゲートの平坦性を向上できる。さらに、本実施の形態ではエッチバックの終点検出をレジスト 2 1 3 に起因するプラズマ発光強度のモニタにより容易に行える。この結果、第 3 ゲートの膜厚制御が容易である。また、本実施の形態ではレジスト 2 1 3 を用いるため、凹部にボイドが形成されることが無く、エッチバックの管理性が向上し、第 3 ゲートの膜厚制御を容易に行える。これに対し、実施の形態 1 ではエッチバックにより第 3 ゲートを形成し、またそのエッチバックは時間管理により行われるため、その膜厚制御が本実施の形態に比べて難しくなる。このため、本実施の形態では、メモリセル間のカップリング比のばらつきが低減でき、書込み／消去時間の均一化が図れた。

【 0 0 7 1 】

また、実施の形態 1 と同様、従来技術に比べ繰返し書換えの際のしきい値ウィンドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて消去ゲートー浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書込み単位の増大が可能となり、書込み速度の増大が図れた。

【 0 0 7 2 】

(実施の形態 3)

図 1 0 は、本発明の実施の形態 3 である半導体集積回路装置の製造方法の一例を示した断面図である。本実施の形態の製造方法と実施の形態 2 の製造方法との違いは、第 3 ゲートとなるポリシリコン膜を堆積した後、ホトレジストを塗布してエッチバックを行う前に、化学的機械研磨法により浮遊ゲートパターン上のポリシリコン膜を除去した点である。フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施の形態 1 と同一でありここでは省略した。

【 0 0 7 3 】

本メモリセルの製造方法は以下の通りである。まず実施の形態 1 の図 3 (a) から (e) に示したのと同じ方法により、シリコン基板 2 0 0 にウェル 2 0 1、ゲート酸化膜 2 0 2、浮遊ゲートパターン 2 0 3 a, 2 0 4 a、拡散層 2 0 5、浮遊ゲートと第 3 ゲートを分離するための窒素を添加したシリコン酸化膜 2 0

6を順次形成した(図示せず)。

【0074】

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜214を浮遊ゲートパターン203a、204aの隙間が埋まらないように堆積した(図10(a))。ポリシリコン膜214の膜厚は概ねメモリセル完成後の第3ゲートの膜厚である。

【0075】

次に化学的機械研磨法(CMP法)により、浮遊ゲートパターンのシリコン窒化膜204aが露出するまで上記ポリシリコン膜214を研磨除去した(ポリシリコン膜214及びシリコン酸化膜206はそれぞれ214a、206aとなる)(図10(b))。

【0076】

次にホトレジスト215を、浮遊ゲートパターン203a、204aの隙間が完全に埋まるように塗布した(図10(c))。その後、上記ホトレジスト215とポリシリコン膜214aを概ね等しい速度でエッチバックし、ポリシリコン膜214aのみを浮遊ゲートパターン203a、204aの隙間に所定の厚さ残した(ポリシリコン214aは214bとなる)(図10(d))。エッチングはホトレジストが完全になくなった状態を終点とした。

【0077】

その後、実施の形態1の図4(c)から図5(e)と同様の方法によりシリコン酸化膜208a、2層目の浮遊ゲートポリシリコン膜209a、窒素を添加したシリコン酸化膜210、ポリメタル膜からなるワード線211aを形成し、メモリセルを完成した。

【0078】

本方法により形成したメモリセルは実施の形態2に比べて更に第3ゲート214bの膜厚ばらつきを低減可能であった。すなわち、本実施の形態では、あらかじめポリシリコン膜214の上面がCMP法により研磨されているため、ポリシリコンのエッチング量を低減できる。この結果、第3ゲート214bの膜厚ばらつきを低減できる。このため、メモリセル間のカップリング比ばらつきが低減で

き、書込み／消去時間の均一化が図れた。

【 0 0 7 9 】

また、実施の形態 1 と同様、従来技術に比べ繰返し書換えの際のしきい値ウィンドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて消去ゲートー浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書込み単位の増大が可能となり、書込み速度の増大が図れた。

【 0 0 8 0 】

なお、図 1 1 に示すように、CMP 法によるポリシリコン膜 2 1 4 の研磨の前に、シリコン酸化膜 2 1 4'（たとえば TEOS 酸化膜、SOG 膜等）を形成し（図 1 1（a））、このシリコン酸化膜 2 1 4' とポリシリコン膜 2 1 4 とをともに CMP 法により研磨できる（シリコン酸化膜 2 1 4' は、2 1 4 a' となる）（図 1 1（b））。この場合、CMP 法によりポリシリコン膜 2 1 4 が凹部の内側に倒されて損傷することがない。その後、シリコン酸化膜 2 1 4 a' を選択的に除去して、前記図 1 0（b）以降の工程を継続できる。

【 0 0 8 1 】

（実施の形態 4）

図 1 2 および図 1 3 は、本発明の実施の形態 4 である半導体集積回路装置の製造方法の一例を示した断面図である。本実施の形態の製造方法と実施の形態 2 の製造方法との違いは、第 3 ゲートとなるポリシリコン膜を堆積した後、シリコン酸化膜を形成して、エッチバックの際の保護膜とした点である。フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施の形態 1 と同一でありここでは省略した。

【 0 0 8 2 】

まず実施の形態 1 の図 3（a）から（e）に示したのと同じの方法により、シリコン基板 2 0 0 にウェル 2 0 1、ゲート酸化膜 2 0 2、浮遊ゲートパターン 2 0 3 a、2 0 4 a、拡散層 2 0 5、浮遊ゲートと第 3 ゲートを分離するための窒素を添加したシリコン酸化膜 2 0 6 を順次形成した（図示せず）。

【0083】

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜216を浮遊ゲートパターン203a、204aの隙間が埋まらないように堆積した（図12（a））。ポリシリコン膜216の膜厚は概ねメモリセル完成後の第3ゲートの膜厚である。

【0084】

次に、ポリシリコン膜216をエッチバックする際の保護膜となるシリコン酸化膜217を形成した（図12（b））。

【0085】

続いて化学的機械研磨法により、浮遊ゲートパターンのシリコン窒化膜204aが露出するまで上記ポリシリコン膜216及びシリコン酸化膜217を研磨除去した（ポリシリコン膜216、シリコン酸化膜206及び217はそれぞれ216a、206a及び217aとなる）（図12（c））。

【0086】

その後、ポリシリコン膜216aをエッチバックし、浮遊ゲートパターン203a、204aの隙間に所定の厚さでポリシリコン膜216aを残した（ポリシリコン216aは216bとなる）（図13（a））。

【0087】

続いて浮遊ゲートパターン203a、204aの隙間に残存するシリコン酸化膜217aをウエットエッチングにより除去した（図13（b））。

【0088】

その後、実施の形態1の図4（c）から図5（e）と同様の方法によりシリコン酸化膜208a、2層目の浮遊ゲートポリシリコン膜209a、窒素を添加したシリコン酸化膜210、ポリメタル膜からなるワード線211aを形成し、メモリセルを完成した。

【0089】

本方法により形成したメモリセルは実施例1から3と同様、従来技術に比べ繰返し書換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。

あわせて第3ゲート浮遊ゲート間の短絡の抑制が可能であった。また、メモリセル面積を $4F^2$ に縮小することができた。さらに書込み単位の増大が可能となり、書込み速度の増大が図れた。

【0090】

なお、本実施の形態では、シリコン酸化膜217aを第3ゲート216bの出来上がり状態の中央部に形成するため、シリコン酸化膜217aで覆われていないシリコン酸化膜217aの側壁部分（第3ゲート216bの両端部）が選択的にエッチングされる。このため、第3ゲート216bの出来上がり状態において、その両端部のエッチング断面形状が側壁部分でも十分に平坦に形成できる。すなわち、通常のエッチングにおいては側壁部分のエッチング速度が遅いため、その形状は図13（d）に示すように側壁部分に鋭利な突起Pを残す形状で形成される。しかし、本実施の形態では、前記したとおり中央部にマスクとして機能するシリコン酸化膜217aが形成されているため、このような形状にはならない。このため、第3ゲート216bの標高を浮遊ゲート203aの標高よりも確実に低く形成でき、本発明の目的を確実に達成することができる。

【0091】

なお、図14に示すように、シリコン酸化膜217に代えて、凹部を埋め込む厚い膜厚のシリコン酸化膜217cを形成してもよい（図14（a））。そして、シリコン酸化膜217cおよびポリシリコン膜216にCMP法による研磨を施す（図14（b））。このときシリコン酸化膜217cはシリコン酸化膜217dとなり、ポリシリコン膜216はポリシリコン膜216aとなる。その後、前記同様、ポリシリコン膜216aをエッチバックし、浮遊ゲートパターン203a、204aの隙間に所定の厚さでポリシリコン膜216aを残す（ポリシリコン216aは216bとなる）（図14（c））。その後、シリコン酸化膜217dを除去し、図13（b）以降の工程を継続する。このような場合、CMP法によりポリシリコン膜216が凹部の内側に倒されて損傷することを防止できる。

【0092】

（実施の形態5）

図15は、本発明の実施の形態5である半導体集積回路装置の製造方法の一例を示した断面図である。本実施の形態では、第3ゲートとなるポリシリコン膜を加工する際、化学的機械研磨法とドライエッチングによるエッチバックを併用した。フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施の形態1と同一でありここでは省略した。

【0093】

まず実施の形態1の図3(a)から(e)に示したのと同じの方法により、シリコン基板200にウェル201、ゲート酸化膜202、浮遊ゲートパターン203a、204a、拡散層205、浮遊ゲートと第3ゲートを分離するための窒素を添加したシリコン酸化膜206を順次形成した(図示せず)。

【0094】

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜218を浮遊ゲートパターン203a、204aの隙間を完全に埋め込むように堆積した(図15(a))。

【0095】

続いて化学的機械研磨法により、浮遊ゲートパターンのシリコン窒化膜204aが露出するまで上記ポリシリコン膜218を研磨除去した(ポリシリコン膜218、シリコン酸化膜206はそれぞれ218a、206aとなる)(図15(b))。

【0096】

その後、ポリシリコン膜218aをエッチバックし、浮遊ゲートパターン203a、204aの隙間に所定の厚さ残した(ポリシリコン218aは218bとなる)(図15(c))。

【0097】

その後、実施の形態1の図4(c)から図5(e)と同様の方法によりシリコン酸化膜208a、2層目の浮遊ゲートポリシリコン膜209a、窒素を添加したシリコン酸化膜210、ポリメタル膜からなるワード線211aを形成し、メモリセルを完成した。

【0098】

本方法により形成したメモリセルは実施例1から4と同様、従来技術に比べ繰返し書換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて第3ゲート浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4F^2$ に縮小することができた。さらに書込み単位の増大が可能となり、書込み速度の増大が図れた。

【0099】

なお、本実施の形態の製造方法では、図15(b)に示すようにポリシリコン膜218を研磨しているため、その表面が平坦化されている。このため、その後のエッチバックにおけるポリシリコンの除去量を低減できるので、エッチバック工程の負荷を低減できる。また、平坦化した後にエッチングを行うので、ポリシリコン膜218bの表面を平坦に形成しやすいというメリットがある。

【0100】

(実施の形態6)

図16および図17は、本発明の実施の形態6である半導体集積回路装置の製造方法の一例を示した断面図である。本実施の形態と実施の形態1から5との違いは、第3ゲートとなるポリシリコン膜の上表面の高さを熱酸化法により調整した点である。フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施の形態1と同一でありここでは省略した。

【0101】

まず実施の形態1の図3(a)から(e)に示したのと同じ方法により、シリコン基板200にウェル201、ゲート酸化膜202、浮遊ゲートパターン203a、204a、拡散層205、浮遊ゲートと第3ゲートを分離するための窒素を添加したシリコン酸化膜206を順次形成した(図示せず)。

【0102】

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜219を浮遊ゲートパターン203a、204aの隙間を完全に埋め込むように堆積した(図16(a))。

【0103】

その後、異方性ドライエッチングを行い、ポリシリコン膜 219 をエッチバックして浮遊ゲートパターン 203 a の隙間に残した（ポリシリコン 219 は 219 a となる）（図 16（b））。

【0104】

次に熱酸化法によりポリシリコン膜 219 a の表面にシリコン酸化膜 220 を形成し、ポリシリコン 219 a の上表面が浮遊ゲートポリシリコン 203 a より下の所望の位置となるようにした（ポリシリコン 219 a は 219 b となる）（図 16（c））。この際、シリコン酸化膜 206 中の窒素は浮遊ゲートポリシリコン 203 a の側壁が酸化されるのを抑制する効果があり、好都合である。

【0105】

その後、フッ酸水溶液によりシリコン窒化膜パターン 204 a の上表面上に存在するシリコン酸化膜 206 を除去した（シリコン酸化膜 206 は 206 b になる）（図 17（a））。

【0106】

その後、熱リン酸水溶液を用いてシリコン窒化膜 204 a を除去し、ポリシリコン 203 a の表面を露出させた（図 17（b））。

【0107】

その後の工程は、実施の形態 1 の図 5（b）以降の工程と同様である。

【0108】

本実施の形態では実施の形態 1 から 5 に比べて第 3 ゲート 219 b の膜厚ばらつきを低減可能であった。すなわち、図 16（b）に示すエッチバック工程においては、浮遊ゲート間の凹部に形成するポリシリコン膜 219 a の表面は比較的浅い位置に形成されるため、平坦に形成できる。また、熱酸化法によりシリコン酸化膜 220 を形成するため、その膜厚制御は比較的容易である。このため、第 3 ゲート 219 b の膜厚を制御性よく形成でき、その膜厚ばらつきを抑制できる。このため、メモリセル間のカップリング比ばらつきが低減でき、書込み／消去時間の均一化が図れた。

【0109】

また、実施の形態1と同様、従来技術に比べ繰返し書換えの際のしきい値ウィンドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて消去ゲートー浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4F^2$ に縮小することができた。さらに書込み単位の増大が可能となり、書込み速度の増大が図れた。

【0110】

(実施の形態7)

図18～図20は、本発明の実施の形態7である半導体集積回路装置の製造方法の一例を示した断面図である。本実施の形態では、実施の形態1から6とは異なり、浮遊ゲートパターンを形成する前に第3ゲートを形成した場合を説明する。フラッシュメモリセルの平面配置、動作方式は実施の形態1と同一でありここでは省略した。

【0111】

まず、シリコン基板300上にp型ウェル301を形成した後、たとえば熱酸化法により12nm程度のゲート酸化膜302を形成した(図18(a))。

【0112】

続いて第3ゲートとなるリンをドーピングしたポリシリコン膜303及びシリコン酸化膜304を順次堆積した(図18(b))。

【0113】

次にリソグラフィとドライエッチング技術により上記シリコン酸化膜304及びポリシリコン膜303をパターニングした(シリコン酸化膜及びポリシリコン膜はそれぞれ304a, 303aとなる)(図18(c))。

【0114】

その後、斜めイオン打込み法によりひ素イオンを打込み、メモリセルのソース／ドレインとなる拡散層305を形成した(図18(d))。

【0115】

次に、浮遊ゲートと第3ゲートを分離するための窒素を添加したシリコン酸化膜306を実施の形態1の図3(e)と同一の方法により形成した後(図19(

a))、浮遊ゲートとなるリンをドーピングしたポリシリコン膜 307 を第 3 ゲートパターン 303 a, 304 a の隙間が完全に埋まるように堆積した (図 19 (b))。

【0116】

その後、異方性ドライエッチングを行い、ポリシリコン膜 307 をエッチバックして第 3 ゲートパターン 303 a, 304 a の隙間に残した (ポリシリコン 307 は 307 a となる)。この際、ポリシリコン膜 307 a の表面がポリシリコン膜 303 a の表面より高くなるようにエッチング量を調整した (図 19 (c))。

【0117】

その後、リンをドーピングしたポリシリコン膜 308 を堆積し (図 19 (d))、これを異方性ドライエッチングした (ポリシリコン膜 308 は 308 a となる) (図 20 (a))。本ポリシリコン膜 308 a はポリシリコン 307 a と電氣的に接続しており、この 2 層のポリシリコンで浮遊ゲートを形成する。ポリシリコン 308 a は浮遊ゲートの表面積を増大し、メモリセルのカップリング比を増大する効果がある。これにより書込み/消去時の内部動作電圧の低減が可能である。

【0118】

次に、図 3 (e)) で示した方法と同一の手法により、浮遊ゲートとワード線を分離する 10.5 nm の窒素を添加したシリコン酸化膜 309 を形成した (図 20 (b))。

【0119】

その後、ポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜、いわゆるポリメタル膜 310 を堆積し、これを公知のリソグラフィとドライエッチング技術によりパターンニングしてワード線を形成した (ポリメタル膜 310 は 310 a となる)。さらにシリコン酸化膜 309、ポリシリコン膜 308 a, 307 a を順次エッチングし、浮遊ゲートを完成した (これによりポリシリコン 308 a, 307 a はそれぞれ 308 b 及び 307 b に、またシリコン酸化膜 309 は 309 a となる) (図 20 (c))。

【0120】

その後、図には示していないが、層間絶縁膜を形成した後、ワード線 310a、ソース／ドレイン拡散層 305、ウェル 301、第3ゲート 303aに至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成した。

【0121】

本実施の形態により形成したメモリセルでは、実施の形態1から6に比べ、ビット間の書込み／消去時間のばらつきが低減可能であった。これは、本実施の形態では第3ゲートの上表面の位置がポリシリコン膜 303の堆積膜厚で決まるため、メモリセル間のカップリング比のばらつきが低減できるためである。

【0122】

また、実施の形態1から5で行なったシリコン酸化膜 208による浮遊ゲートパターン 203a間の埋め込みと機械的化学研磨法による平坦化が不要となり、製造工程の簡略化が図れた。

【0123】

また、他の実施の形態と同様、従来技術に比べ繰返し書換えの際のしきい値ウィンドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて第3ゲート浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4F^2$ に縮小することができた。さらに書込み単位の増大が可能となり、書込み速度の増大が図れた。

【0124】

(実施の形態8)

図21は、本発明の実施の形態8である半導体集積回路装置の製造方法の一例を示した断面図である。本実施の形態の製造方法は、浮遊ゲートパターンを形成する前に第3ゲートを形成した別の例である。フラッシュメモリセルの平面配置、動作方式は実施の形態1と同一でありここでは省略した。

【0125】

実施の形態7の図18(a)～図19(a)と同様の工程で、シリコン基板 300上にp型ウェル 301、ゲート酸化膜 302、ポリシリコン膜 303a、シ

リコン酸化膜 304 a を形成し、メモリセルのソース／ドレインとなる拡散層 305、窒素を添加したシリコン酸化膜 306 を形成する。

【0126】

その後、浮遊ゲートとなるリンをドーピングしたポリシリコン膜 311 を堆積した。この際、実施の形態 7 とは異なり、ポリシリコン膜 311 の膜厚は第 3 ゲートパターン 303 a, 304 a の隙間が埋まらないような値とした (図 21 (a))。

【0127】

次に化学的機械研磨法 (CMP 法) により、ポリシリコン膜 311 をシリコン酸化膜 304 a の上表面が露出するまで研磨除去した (ポリシリコン膜 311 は 311 a に、シリコン酸化膜 304 a, 306 はそれぞれ 304 b, 306 a となる) (図 21 (b))。なお、ここでは化学的機械研磨法を例示しているが、エッチバック法を用いても良い。また、レジストを埋め込んだ後にエッチバックを行っても良い。さらに、シリコン酸化膜を埋め込んだ後に CMP 法を施しても良い。

【0128】

次に、図 3 (e)) で示した方法と同一の手法により、浮遊ゲートとワード線を分離する膜厚約 10.5 nm の窒素を添加したシリコン酸化膜 310 を形成した (図 21 (c))。

【0129】

その後、ポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜、いわゆるポリメタル膜 310 を堆積し、これを公知のリソグラフィとドライエッチング技術によりパターンニングしてワード線を形成した (ポリメタル膜 310 は 310 a となる)。さらにシリコン酸化膜 309、ポリシリコン膜 308 a, 307 a を順次エッチングし、浮遊ゲートを完成した (これによりポリシリコン 307 a はそれぞれ 307 b に、またシリコン酸化膜 309 は 309 a となる) (図 21 (d))。

【0130】

その後、図には示していないが、層間絶縁膜を形成した後、ワード線 310 a

、ソース／ドレイン拡散層 305、ウェル 301、第 3 ゲート 303a に至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成した。

【0131】

本実施の形態により形成したメモリセルでは、実施の形態 7 と同様、ビット間の書き込み／消去時間のばらつきが低減可能であった。また、浮遊ゲートを 1 層のポリシリコンで形成したため、実施の形態 7 に比べ更に製造工程の簡略化が図れた。

【0132】

また、他の実施の形態と同様、従来技術に比べ繰返し書換えの際のしきい値ウィンドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて第 3 ゲート浮遊ゲート間の短絡の抑制が可能であった。また、メモリセル面積を $4F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

【0133】

(実施の形態 9)

図 22 ～ 図 24 は、本発明の実施の形態 9 である半導体集積回路装置の製造方法の一例を示した断面図である。

【0134】

まず、シリコン基板 400 中に p 型ウェル 401 を形成し、この上に素子分離領域となるフィールド酸化膜 402 を形成した (図 22 (a))。次に、たとえば熱酸化法によりゲート酸化膜 403 を形成した (図 22 (b))。

【0135】

続いて浮遊ゲートとなるリンをドーピングしたポリシリコン膜 404 を堆積し (図 22 (c))、リソグラフィとドライエッチング技術により上記ポリシリコン膜 404 をパターニングして浮遊ゲートを形成した (ポリシリコン膜は 404a となる) (図 22 (d))。

【0136】

その後、イオン打込み法によりひ素イオンを打込み、メモリセルのソース／ドレインとなる拡散層405を形成した（図示せず）。

【0137】

次に、実施の形態1の図3（e）で示した方法により浮遊ゲートと第3ゲートを分離するための絶縁膜406を形成した（図23（a））。

【0138】

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜410を浮遊ゲートパターン404aの隙間が完全に埋まるように堆積した（図23（b））。

【0139】

その後、ドライエッチング技術によりポリシリコン膜410を、その上表面が浮遊ゲートポリシリコン404aの上表面より低い位置となるようエッチバックした（ポリシリコン410は410aとなる）（図23（c））。

【0140】

その後、図3（e）で示した方法と同一の手法により、浮遊ゲートとワード線を分離する窒素を添加したシリコン酸化膜408を形成した（図24（a））。

【0141】

その後、ポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜、いわゆるポリメタル膜409を堆積し（図24（b））、これをリソグラフィとドライエッチング技術によりパターンニングしてワード線を形成した（ポリメタル膜409は409aとなる）（図24（c））。

【0142】

その後、図には示していないが、層間絶縁膜を形成した後、ワード線409a、ソース／ドレイン拡散層405、ウェル401、第3ゲート407aに至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターンニングして配線とし、メモリセルを完成した。

【0143】

上記方法により形成したメモリセルは、従来技術に比べ繰返し書換えの際のし

きい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。

【0144】

本実施の形態によれば、半導体集積回路装置の繰返し書換え後の信頼性が向上できるという効果がある。また、内部動作電圧の低減が図れるという効果がある。

【0145】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0146】

たとえば、前記実施の形態では、ワード線材料としてポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜を用いたが、窒化タングステン膜に代えて他のバリアメタル膜、例えばタングステン、チタン、タンタル等の遷移金属元素単体、あるいはその窒化物、もしくはその珪化物（シリサイド）やアルミニウム窒化物、コバルトシリサイド、モリブデンシリサイド、更にはチタンタングステン等の合金膜を用いても同等の効果が得られる。またポリシリコン膜と金属珪化物の積層膜、いわゆるポリサイド膜であっても同様の効果が得られる。

【0147】

また、前記実施の形態では、ワード線材料としてポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜を用いたが、これに代えてポリシリコン膜と金属珪化物の積層膜を用いても同様の効果が得られる。金属珪化物の代表例としてはタングステンシリサイド膜がある。また、ポリシリコン単層膜でも同様の効果が得られる。

【0148】

また、前記実施の形態では、浮遊ゲートと第3ゲートを分離する絶縁膜として窒素を添加したシリコン酸化膜を用いたが、本不揮発性半導体記憶装置を書換え回数が少ない製品に応用するような場合には、従来の熱酸化法やCVD法により形成したシリコン酸化膜を用いてもよい。

【0149】

また、前記実施の形態では、浮遊ゲートと制御ゲートを分離する絶縁膜に対しても窒素を添加したシリコン酸化膜を用いたが、書換え時の内部動作電圧や書換え速度があまり重要とならないような目的で使用される場合には、従来広く用いられているシリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層膜、いわゆるONO膜を用いてもよい。

【0150】

また、前記実施の形態では、p型のウェル中にn型の拡散層を形成したnチャネル型のメモリセルを例に説明したが、ウェルがn型であり、拡散層がp型となるpチャネル型のメモリセルにおいても同様の効果が得られる。この場合、書込みの際の制御ゲート、第3ゲート、およびドレインの電位はウェル電位に対し相対的に負の値となる。この場合、ホットエレクトロンにより電子注入が生じる。

【0151】

また、上記実施の形態においては、第3ゲートは書込みの際のスプリットチャネルを制御するゲート及び消去ゲートの両方の機能を有したが、いずれか一方の機能を有していればよい。

【0152】

また、いずれの実施の形態においても、書込みの際、浮遊ゲートに蓄積される電子の状態は最低2状態必要であるが、4状態以上のレベルを形成し、1つのメモリセルに2ビット以上のデータを記憶するいわゆる多値記憶に適用してもよい。従来の多値記憶では、浮遊ゲートに蓄積される電子の量を高精度に制御して各レベルのしきい値分布を圧縮しても、2値記憶に比べ、いちばん低いしきい値状態といちばん高いしきい値状態の差が大きくなるという問題があった。このためファウラー・ノールドハイム型の書換えでは、書換え速度が遅くなるか、書込み電圧が高くなるという問題が生じた。本発明によれば、書込みおよび消去をともに13.5V以下と低電圧化できる、言い換えれば書換えの高速化ができるので、多値記憶方式に極めて有効である。

【0153】

また、本発明は、不揮発性半導体記憶素子を有するメモリセルアレイ部を備え

たワンチップマイクロコンピュータ、システム L S I 等の半導体装置に広く適用してもよい。

【0 1 5 4】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0 1 5 5】

半導体集積回路装置の繰返し書換え後の信頼性が向上できる。

【0 1 5 6】

半導体集積回路装置の内部動作電圧の低減が図れる。

【0 1 5 7】

半導体集積回路装置の歩留りの向上が図れる。

【0 1 5 8】

半導体集積回路装置のメモリセル面積を縮小することが可能である。

【0 1 5 9】

半導体集積回路装置の動作速度の向上が図れる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 である半導体集積回路装置の一例を示した一部平面図である。

【図 2】

(a)、(b) および (c) は、各々、図 1 における A - A'、B - B' および C - C' 線断面図である。

【図 3】

(a) ~ (e) は、実施の形態 1 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 4】

(a) ~ (d) は、実施の形態 1 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 5】

(a) ~ (e) は、実施の形態 1 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 6】

繰返し書換えを行なった際の書換え回数としきい値電圧の関係を示したグラフである。

【図 7】

10^6 回書換えた後、放置した際のしきい値電圧の変化を測定した結果を示すグラフである。

【図 8】

所定の時間で消去動作を完了しようとした時の、浮遊ゲート上表面-第 3 ゲート上表面間の標高差と制御ゲート-第 3 ゲート間の電位差との関係を示したグラフである。

【図 9】

(a) ~ (c) は、実施の形態 2 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 10】

(a) ~ (d) は、実施の形態 3 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 11】

(a) および (b) は、実施の形態 3 の半導体集積回路装置の製造方法の他の例を示した断面図である。

【図 12】

(a) ~ (c) は、実施の形態 4 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 13】

(a) および (b) は、実施の形態 4 の半導体集積回路装置の製造方法の一例を示した断面図であり、(c) は (b) における一部を拡大した断面図であり、(d) は比較のために示した拡大断面図である。

【図 14】

(a) ~ (c) は、実施の形態 4 の半導体集積回路装置の製造方法の他の例を示した断面図である。

【図 15】

(a) ~ (c) は、実施の形態 5 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 16】

(a) ~ (c) は、実施の形態 6 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 17】

(a) および (b) は、実施の形態 6 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 18】

(a) ~ (d) は、実施の形態 7 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 19】

(a) ~ (d) は、実施の形態 7 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 20】

(a) ~ (c) は、実施の形態 7 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 21】

(a) ~ (d) は、実施の形態 8 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 22】

(a) ~ (d) は、実施の形態 9 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 23】

(a) ~ (c) は、実施の形態 9 の半導体集積回路装置の製造方法の一例を示

した断面図である。

【図 24】

(a) ~ (c) は、実施の形態 9 の半導体集積回路装置の製造方法の一例を示した断面図である。

【符号の説明】

200, 300, 400…半導体基板（シリコン基板）、

201, 301, 401…ウェル、

202, 302, 403…絶縁膜（ゲート酸化膜）、

402…素子分離膜、

203, 203a, 203b, 209, 209a, 307, 307a, 307b, 308, 308a, 308b, 311, 311a, 404, 404a…浮遊ゲートポリシリコン膜、

204, 204a…シリコン窒化膜、

205, 305, 405…拡散層領域、

206, 206a, 216b, 306, 406…窒素を導入したシリコン酸化膜、

207, 207a, 212, 212a, 214, 214', 214a, 214a', 214b, 216, 216a, 216b, 218, 218a, 218b, 219, 219a, 219b, 303, 303a, 410, 410a…第3のゲートとなるポリシリコン膜、

208, 208a, 217, 217a, 217b, 217c, 220, 304, 304a…シリコン酸化膜、

210, 210a, 309, 309a, 408…窒素を導入したシリコン酸化膜、

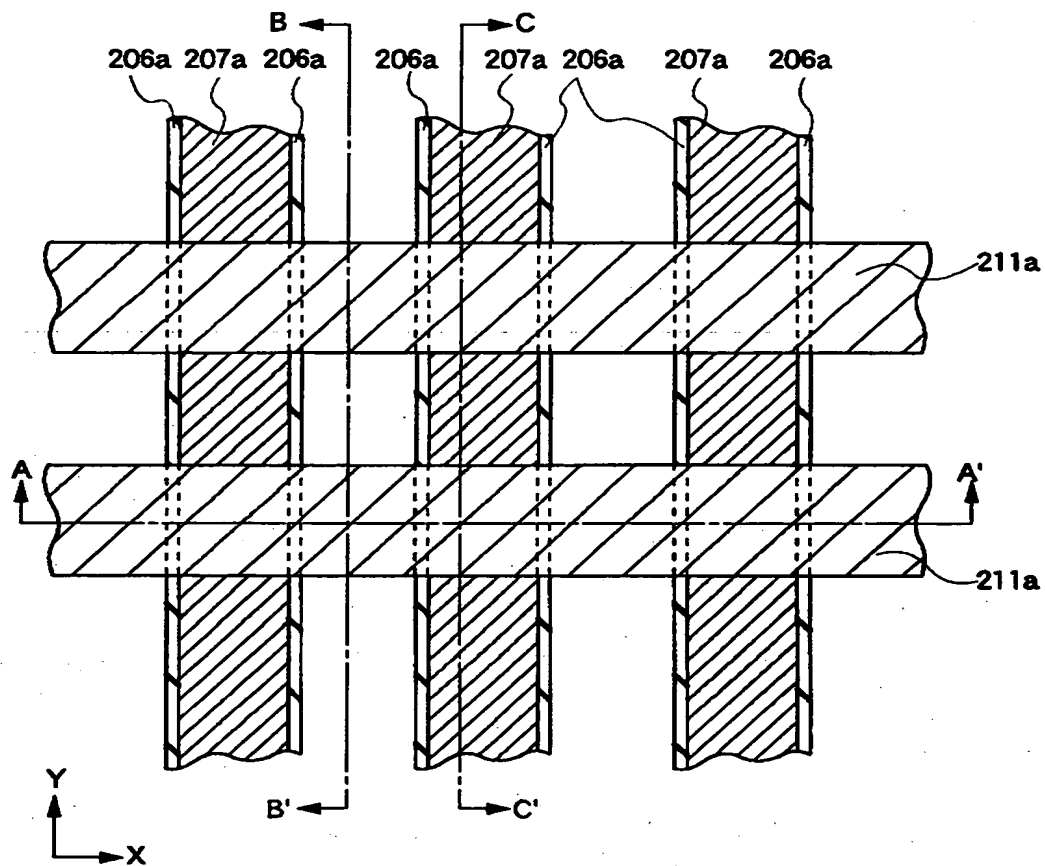
211, 211a, 310, 409…ポリメタル膜、

211a, 310a, 409a…ワード線。

【書類名】 図面

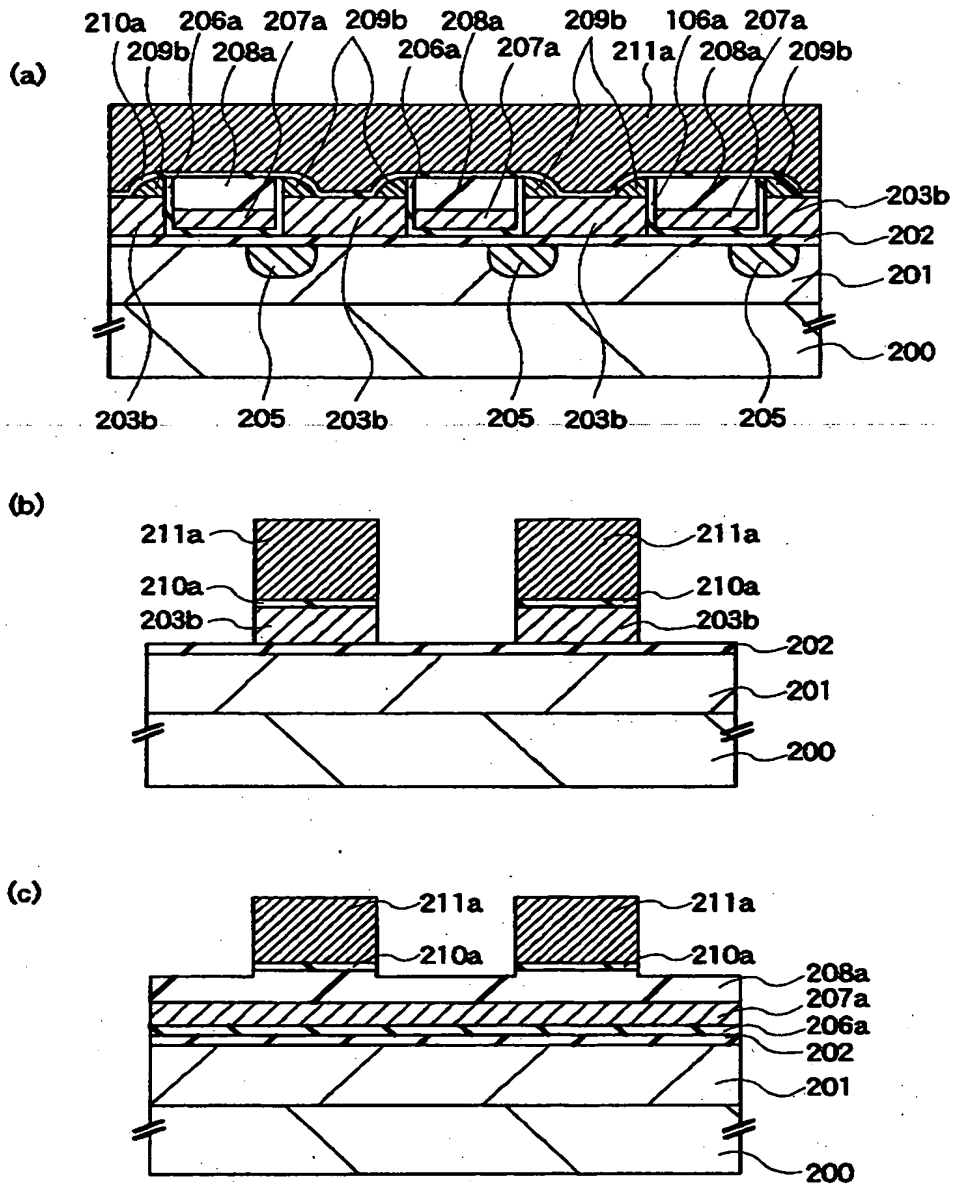
【図 1】

図 1



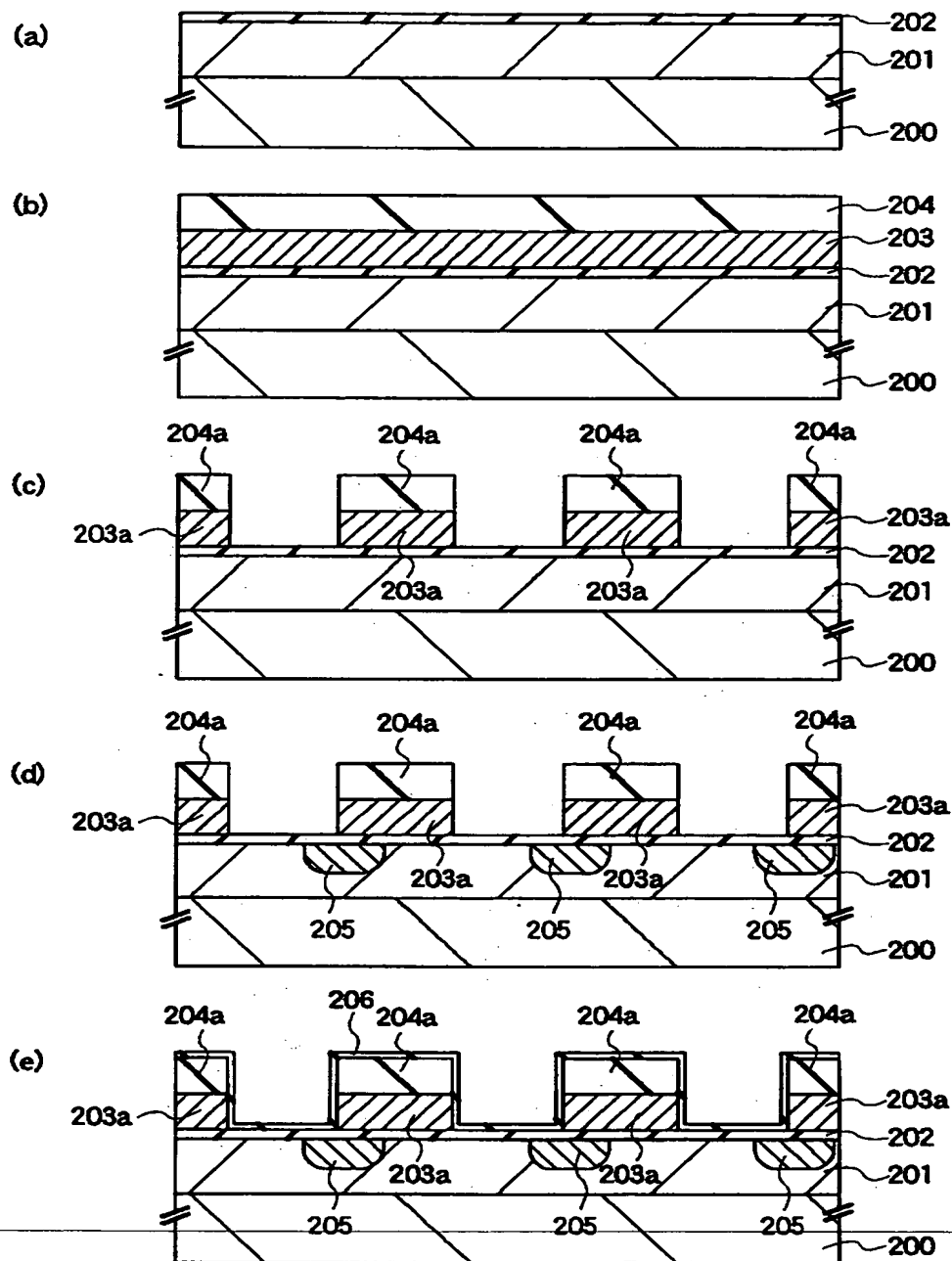
【図2】

図 2



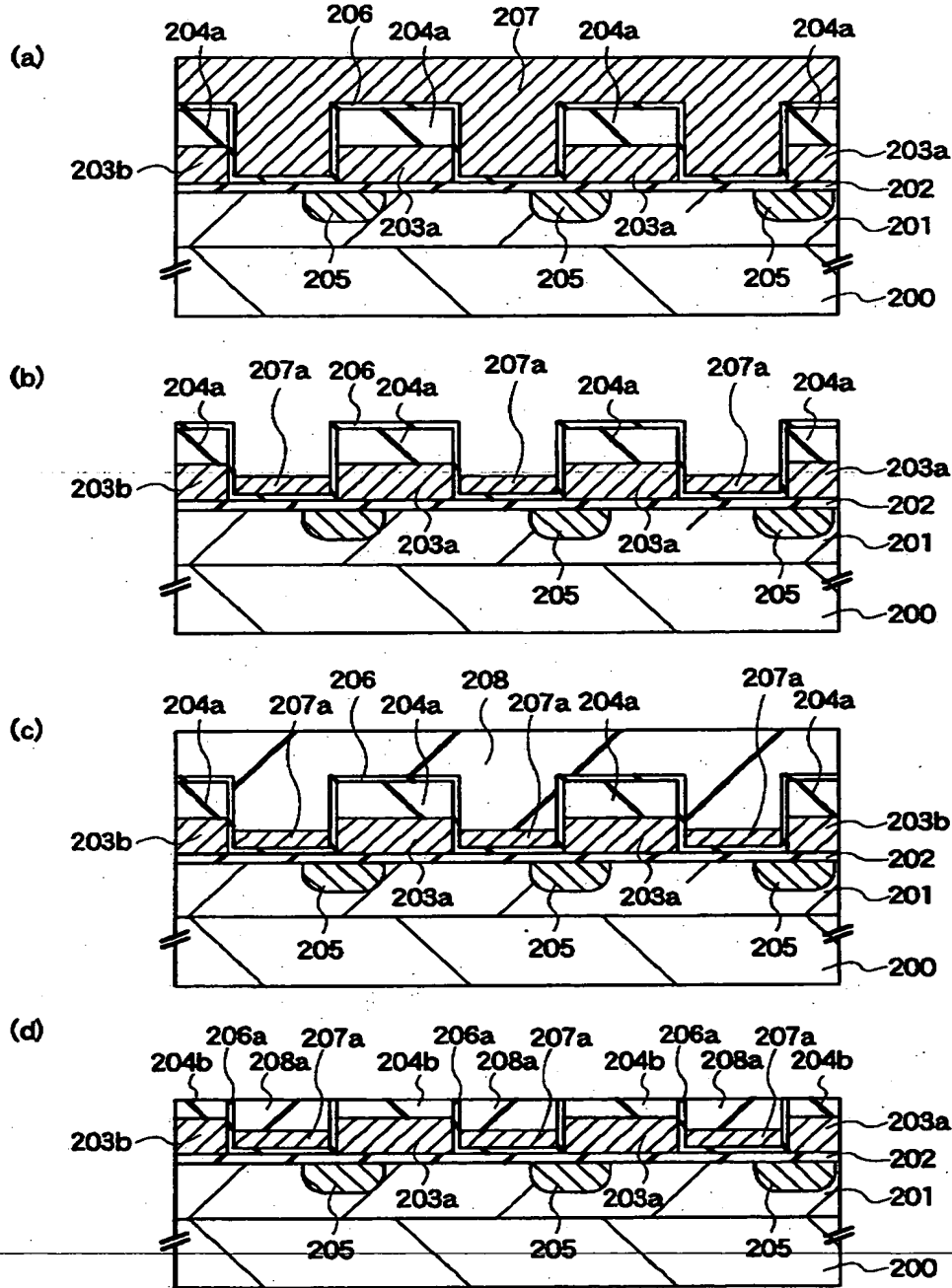
【図 3】

図 3



【図 4】

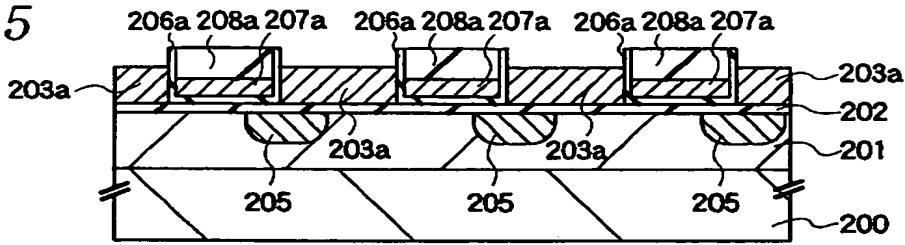
図 4



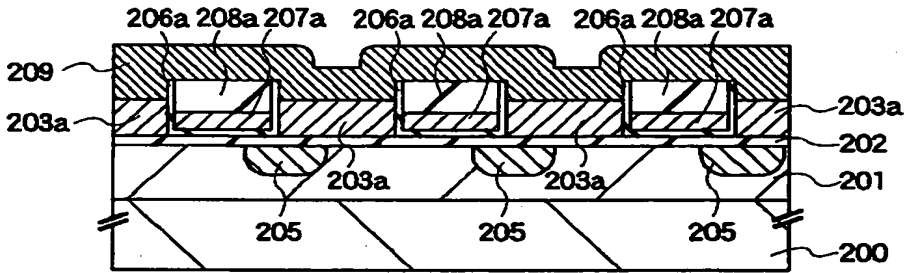
【図 5】

5

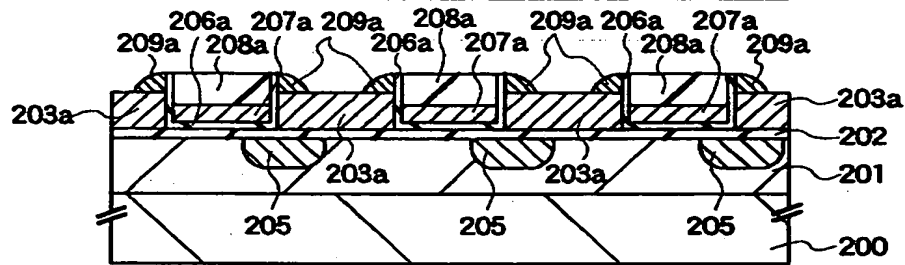
(a)



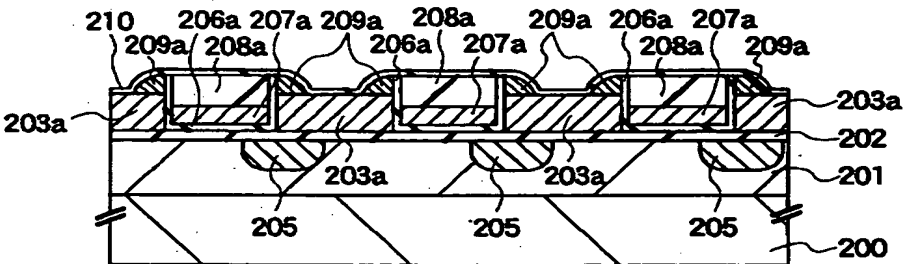
(b)



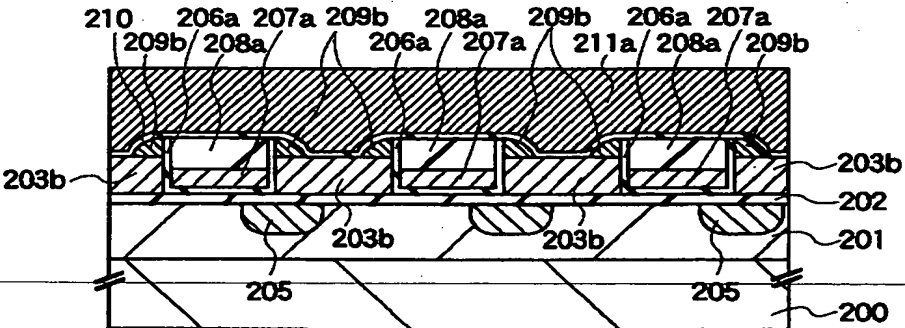
(c)



(d)

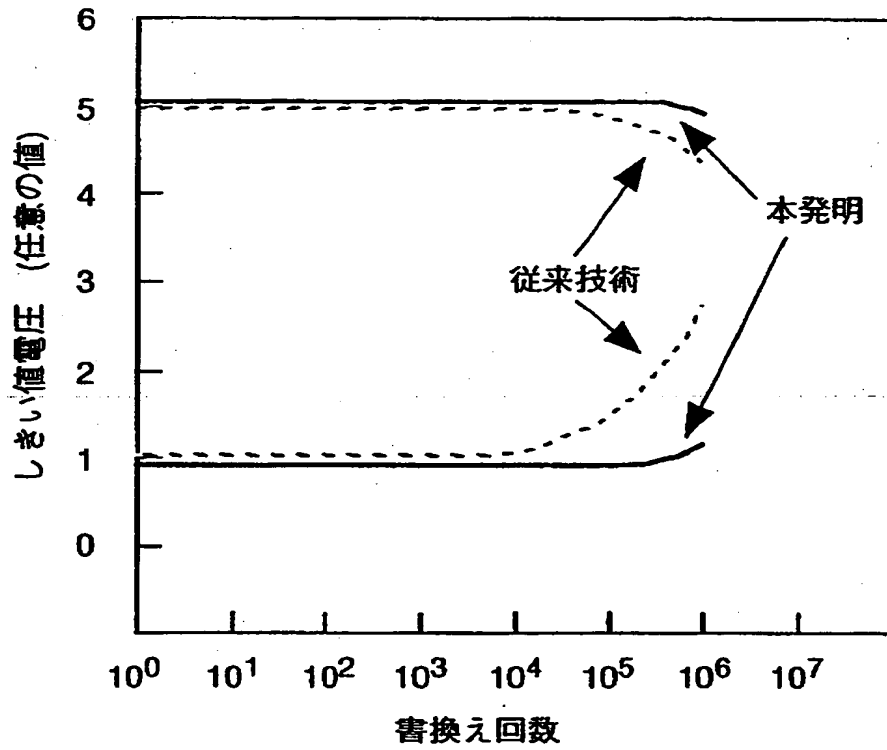


(e)



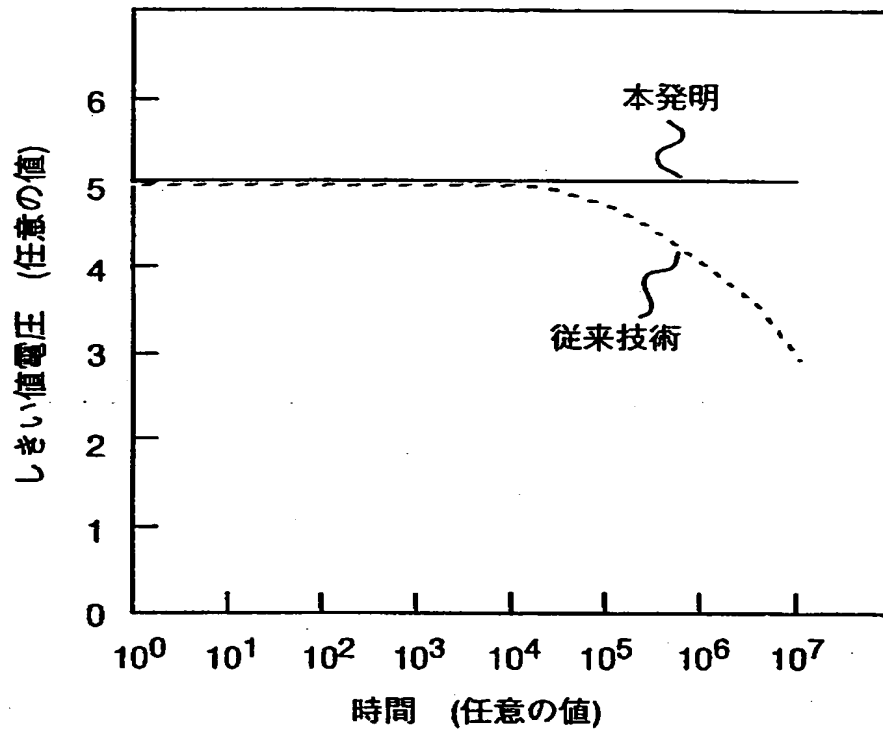
【図 6】

図 6



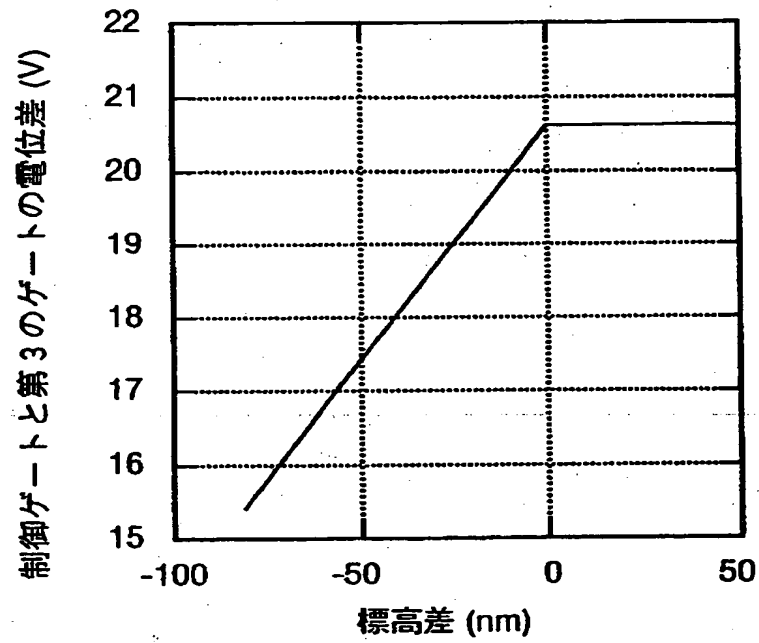
【図 7】

図 7



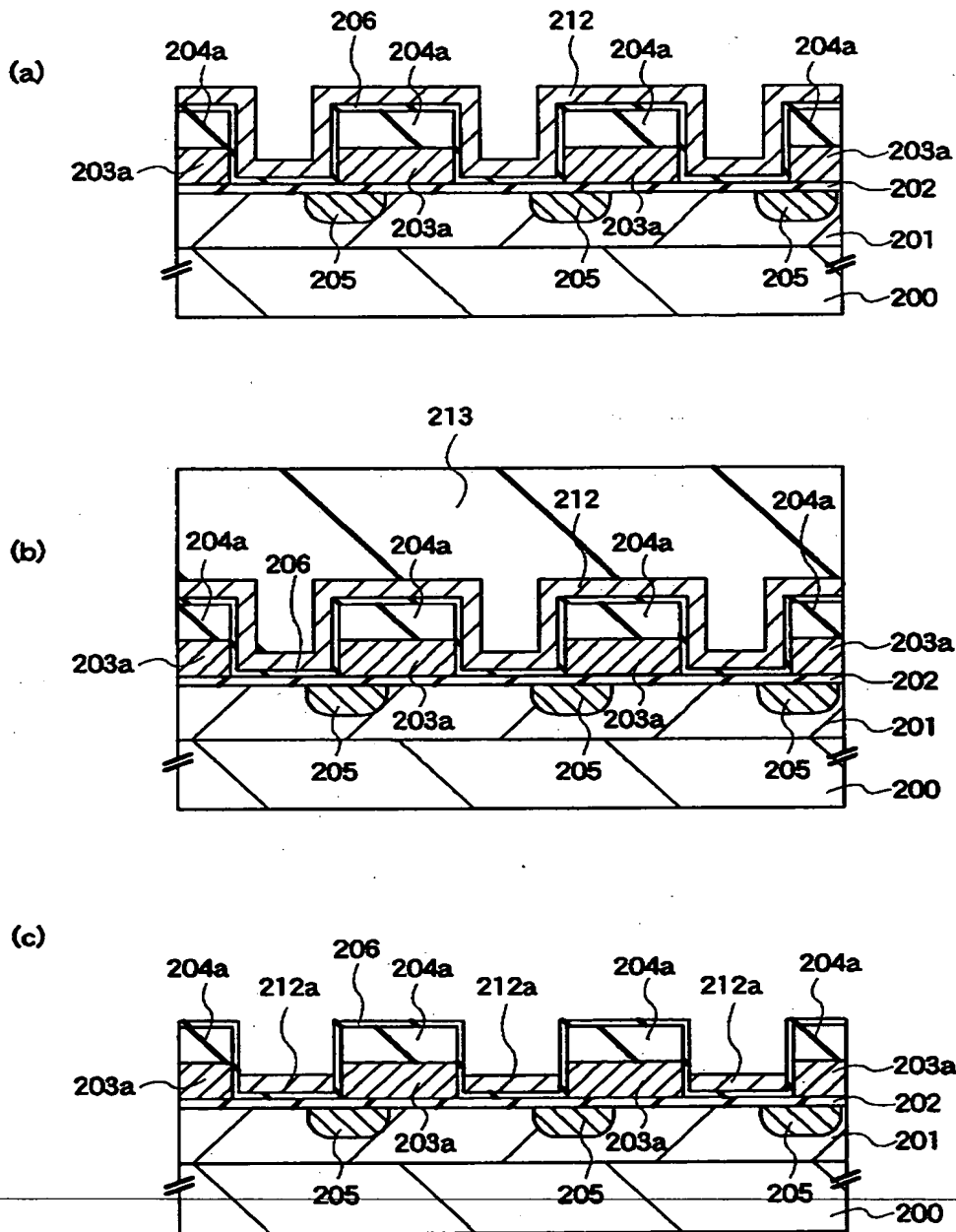
【図 8】

図 8



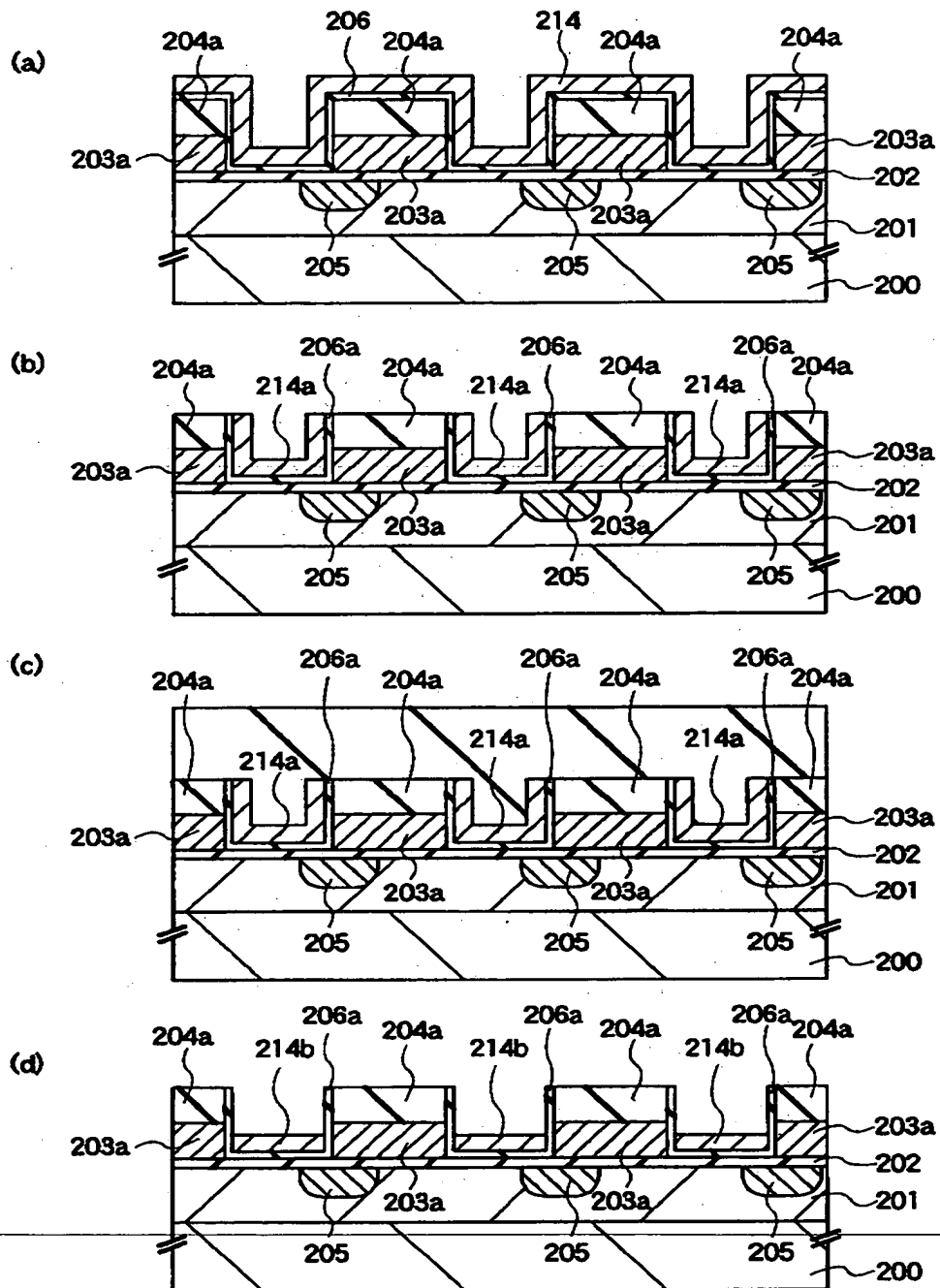
【図 9】

図 9



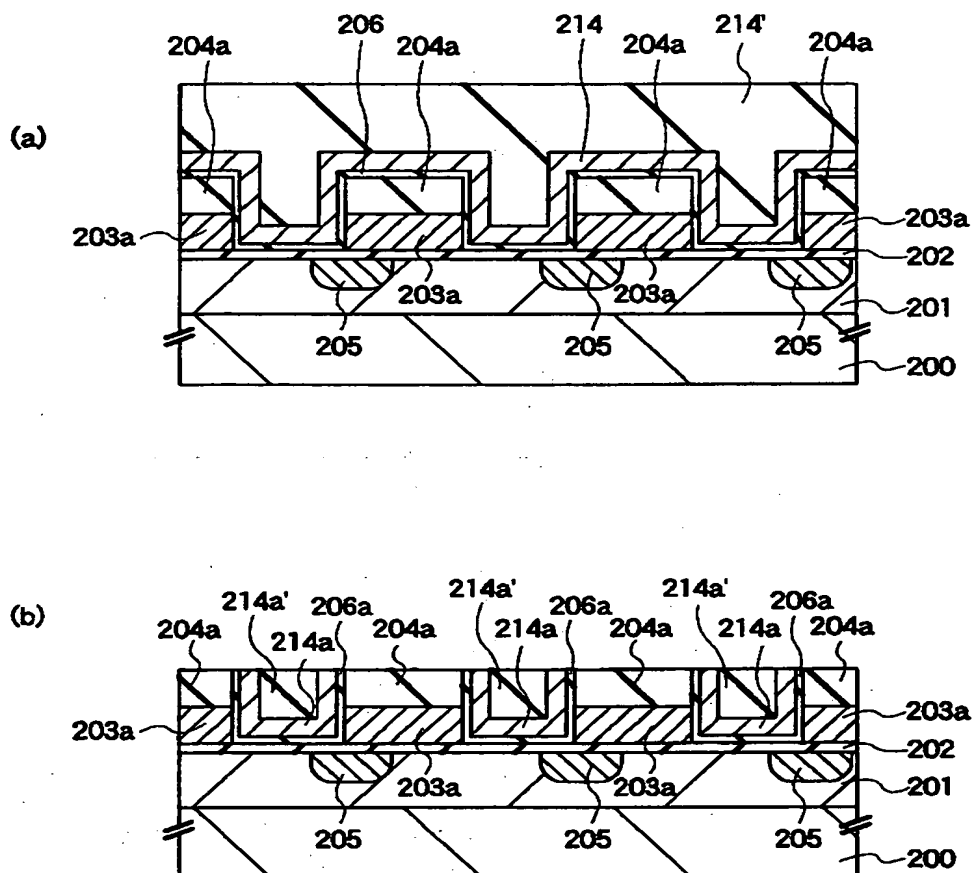
【図 10】

図 10



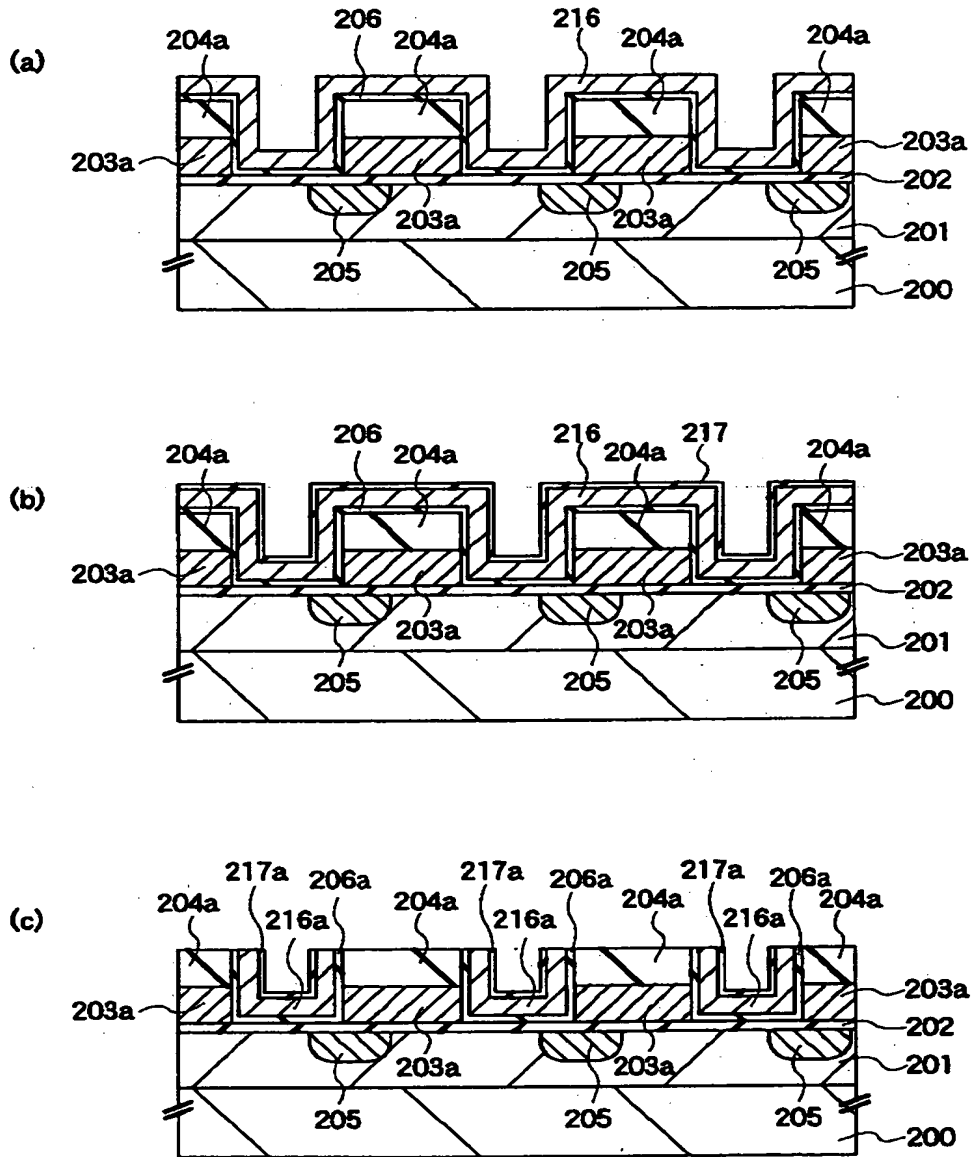
【図 11】

図 11



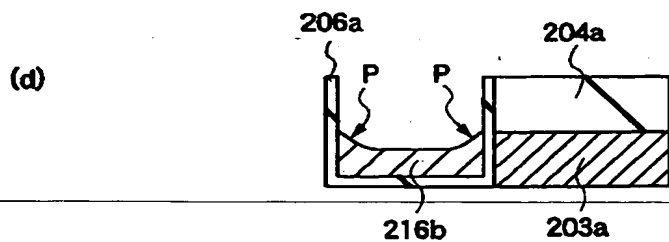
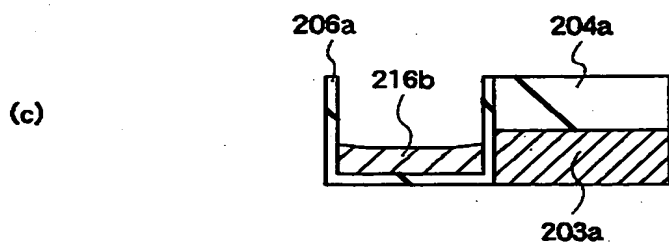
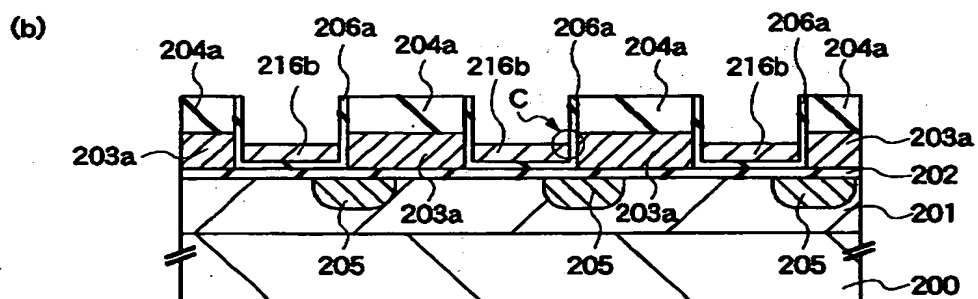
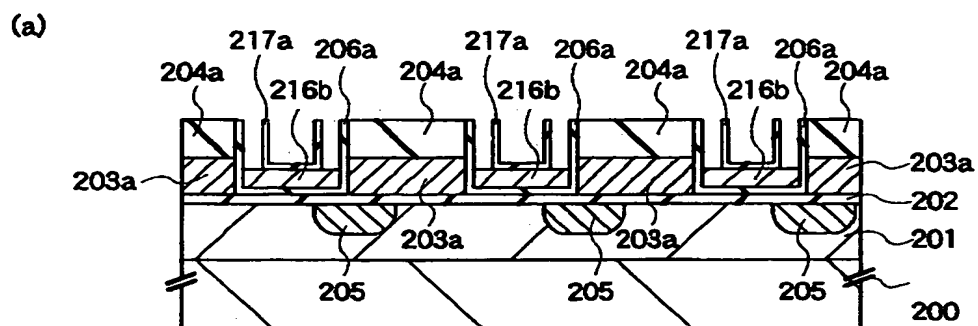
【図 12】

図 12



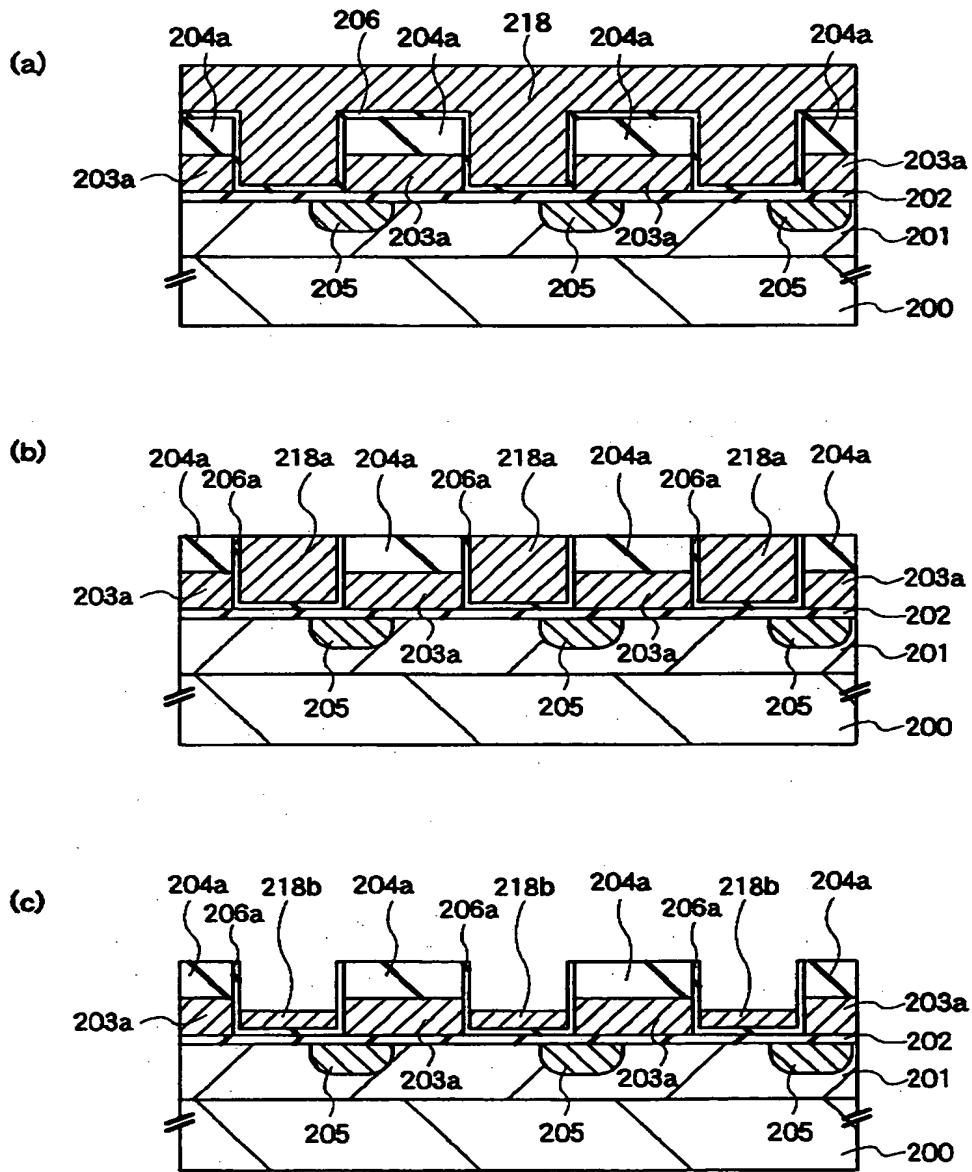
【図 13】

Figure 13 shows a square with vertices labeled A (top-left), B (top-right), C (bottom-left), and D (bottom-right). A diagonal line connects vertex A to vertex D.



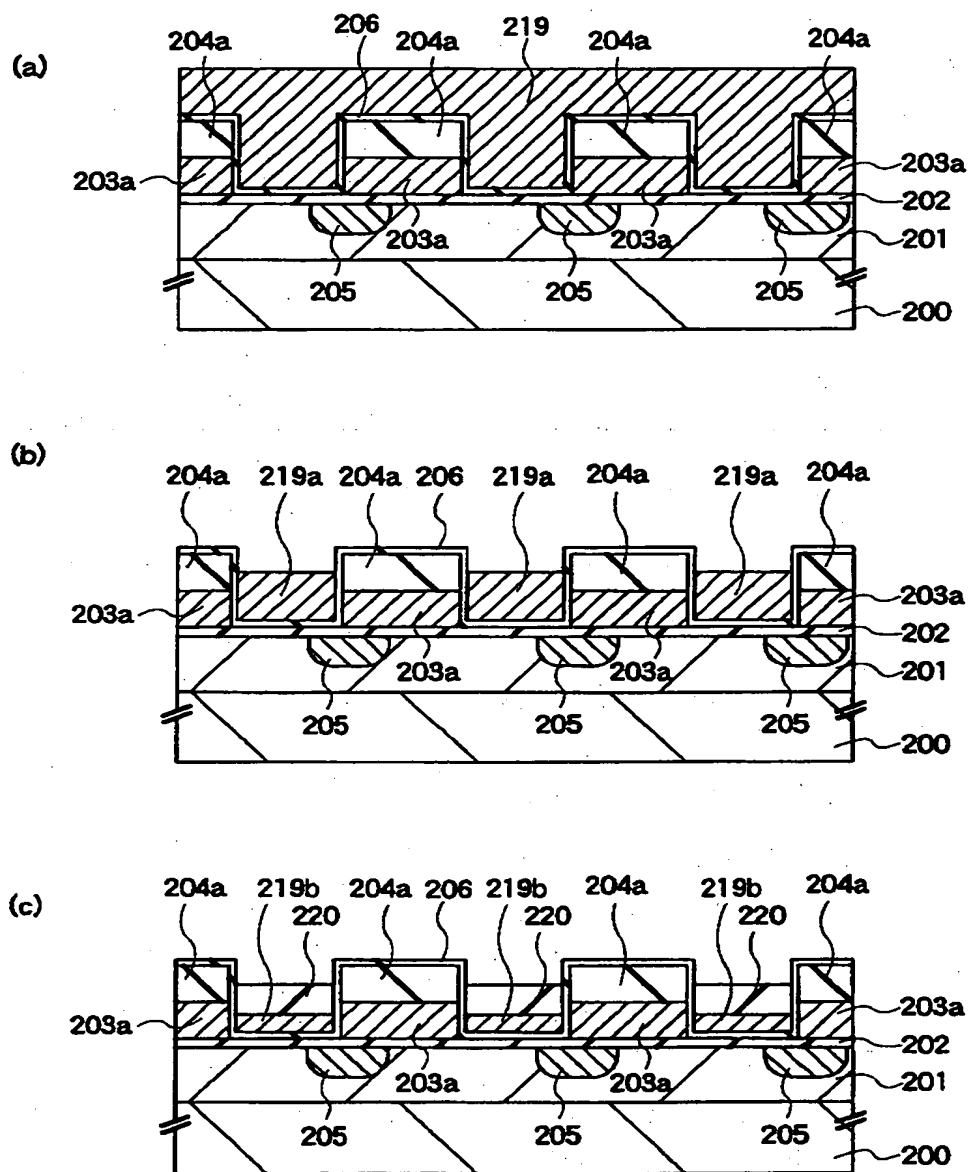
【図 15】

図 15



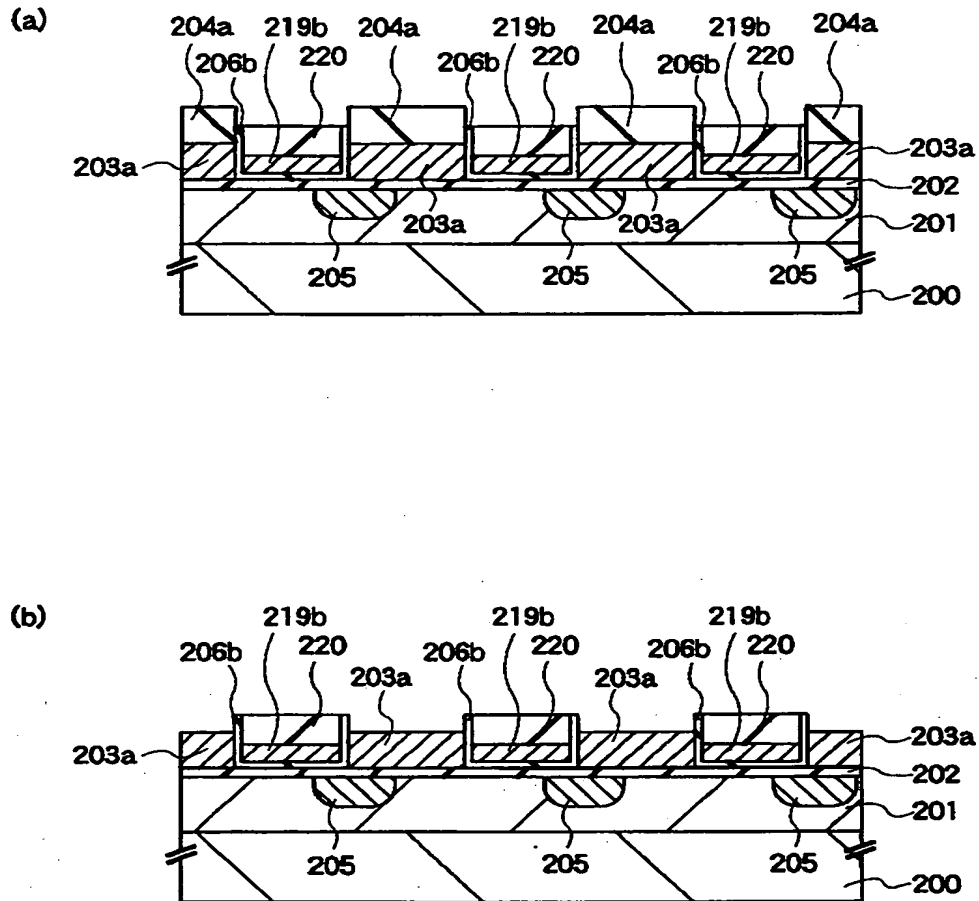
【図 16】

図 16



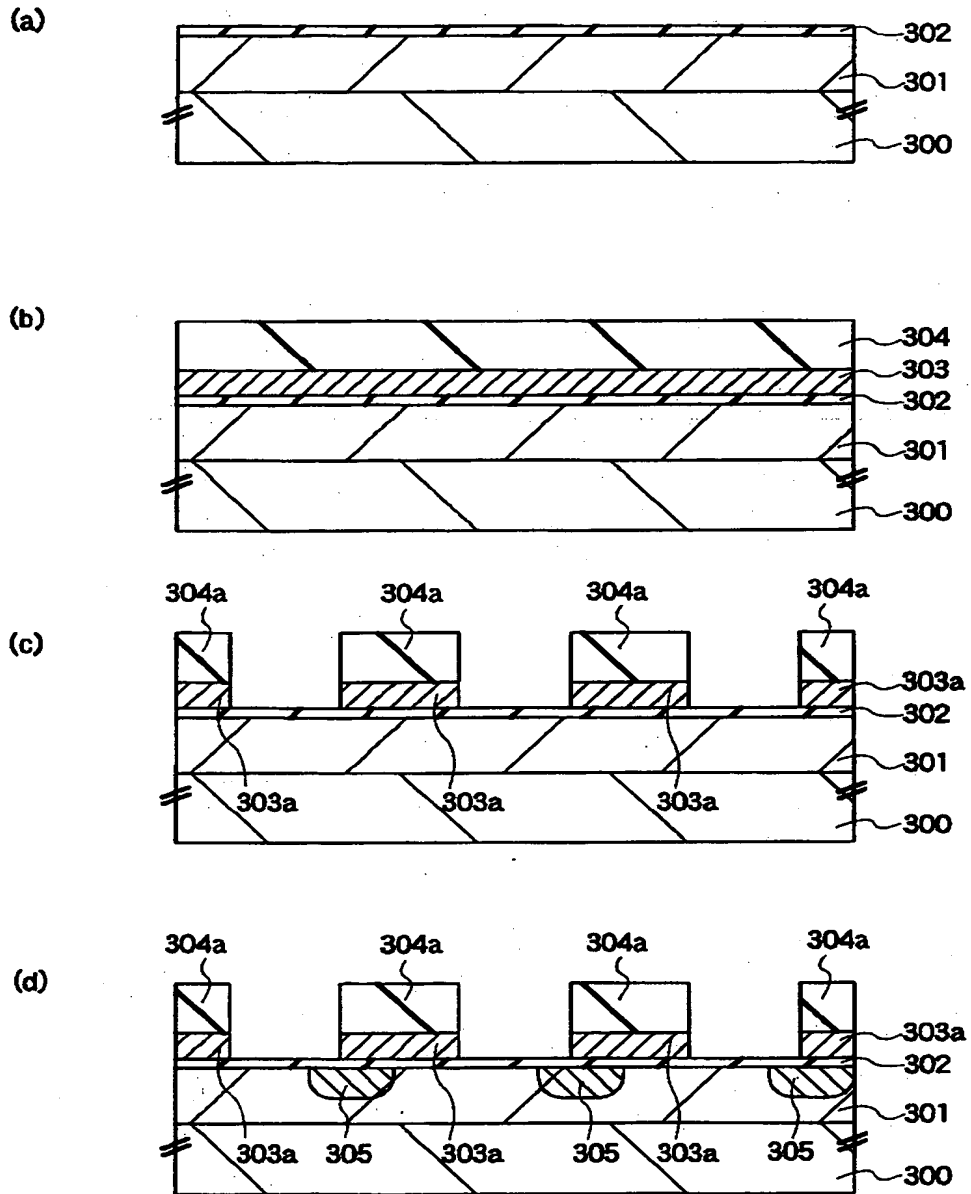
【図 17】

図 17



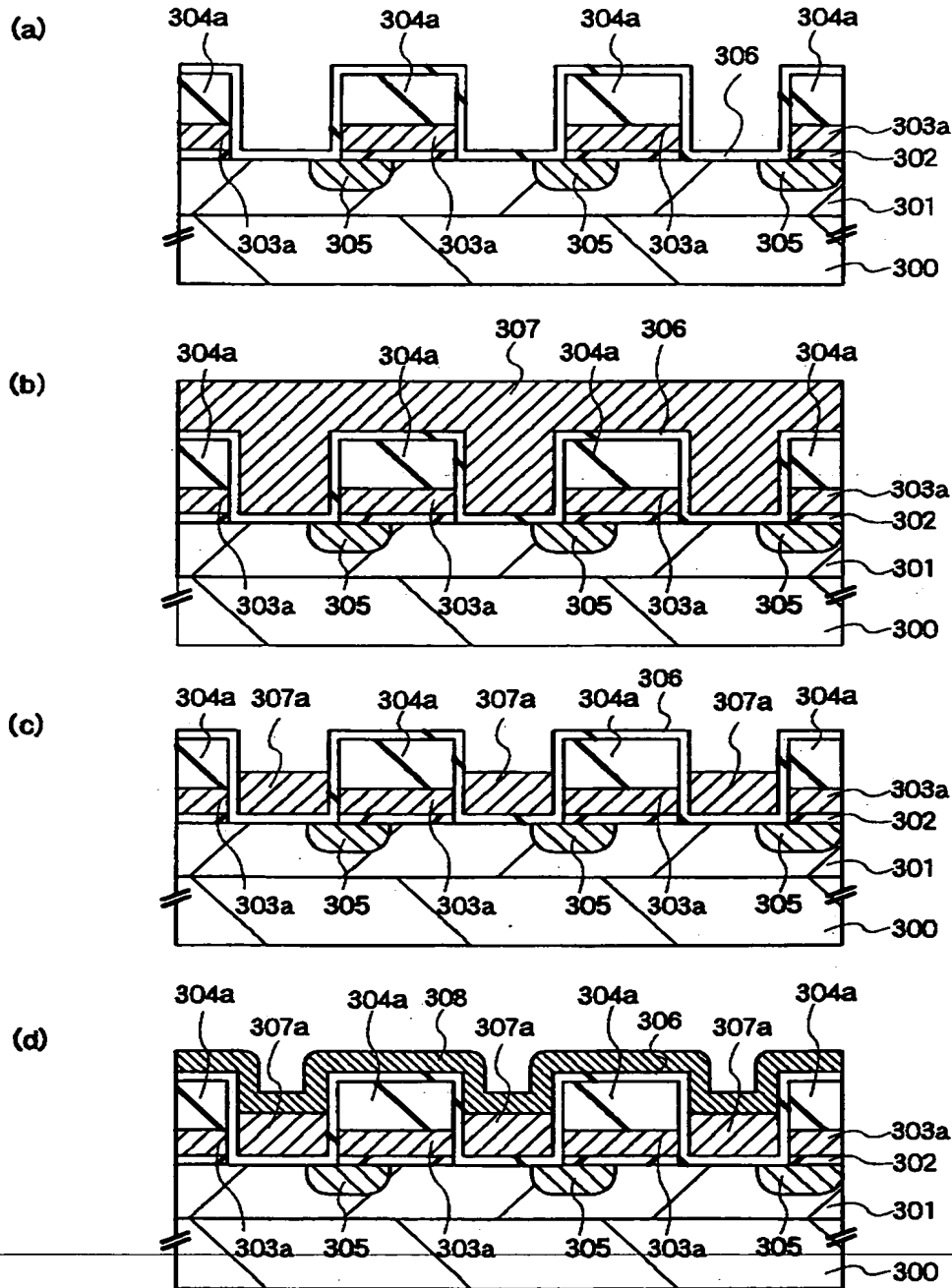
【図 18】

図 18



【図 1 9】

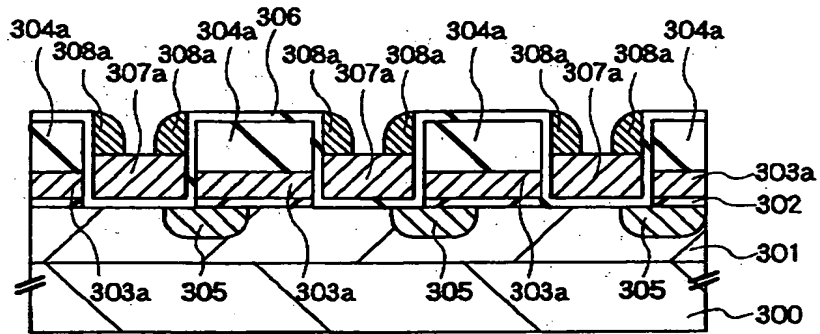
図 19



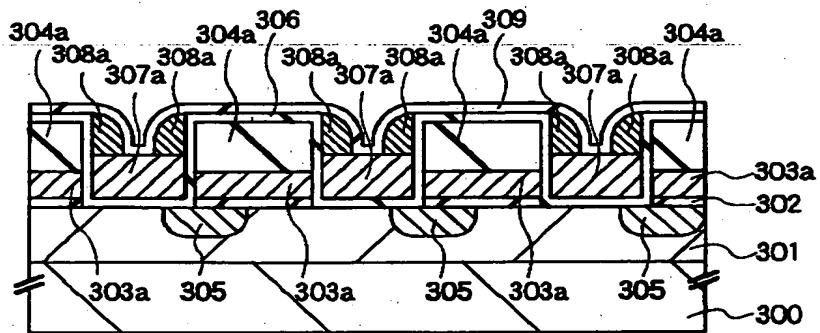
【図 20】

図 20

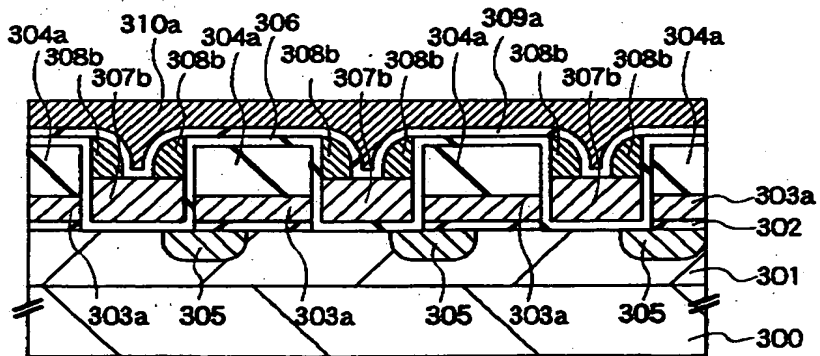
(a)



(b)

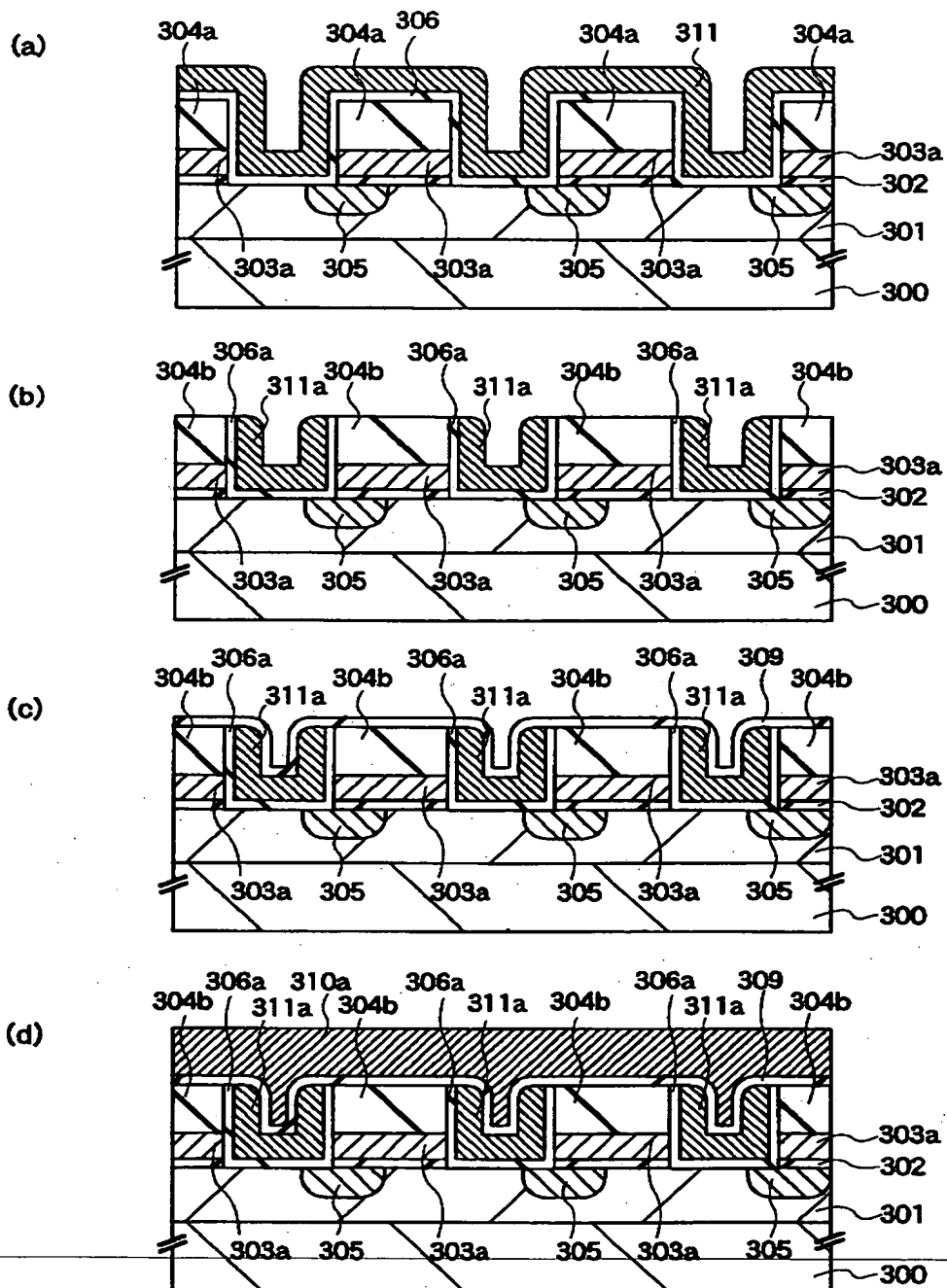


(c)



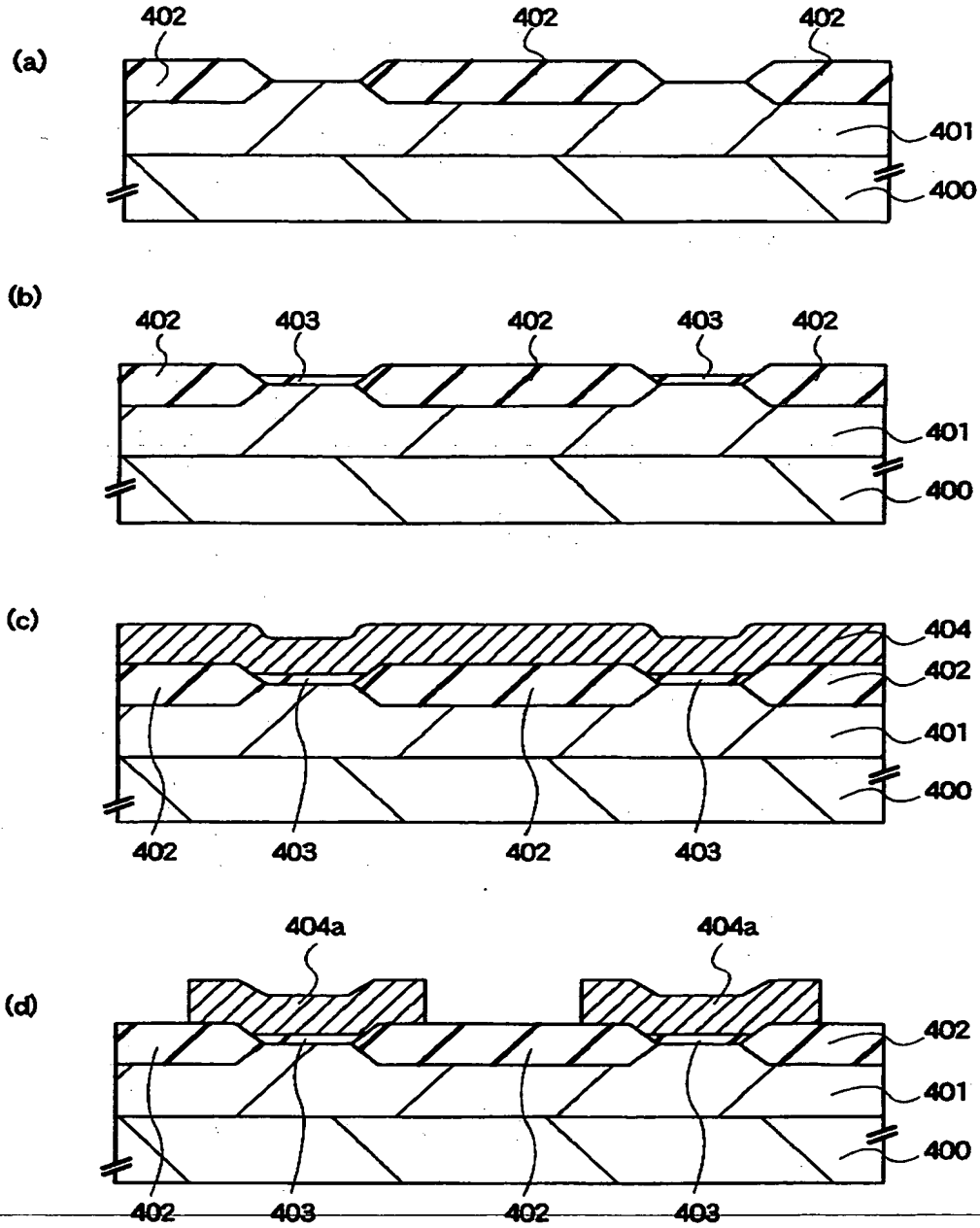
【図 21】

図 21



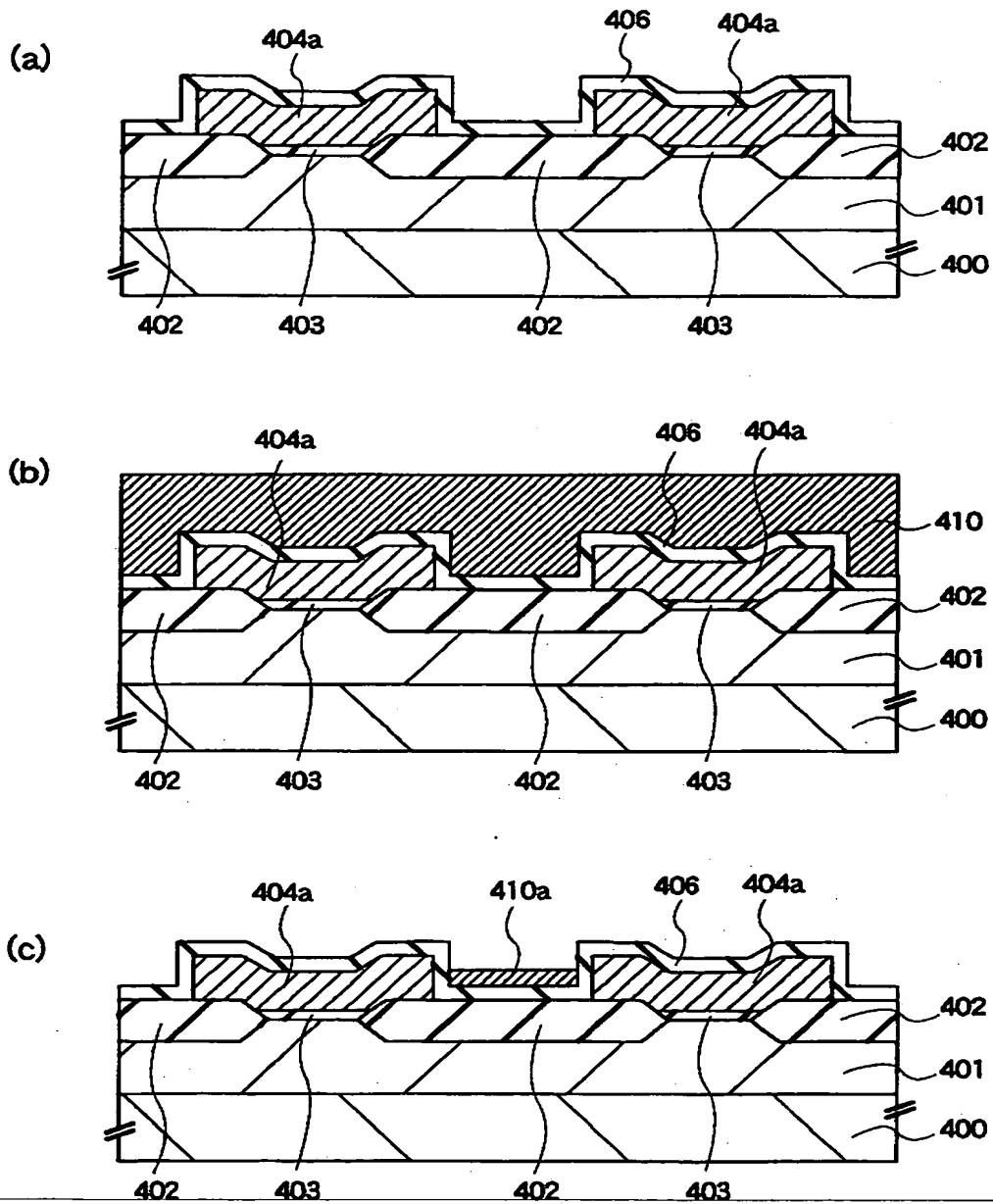
【図 22】

図 22



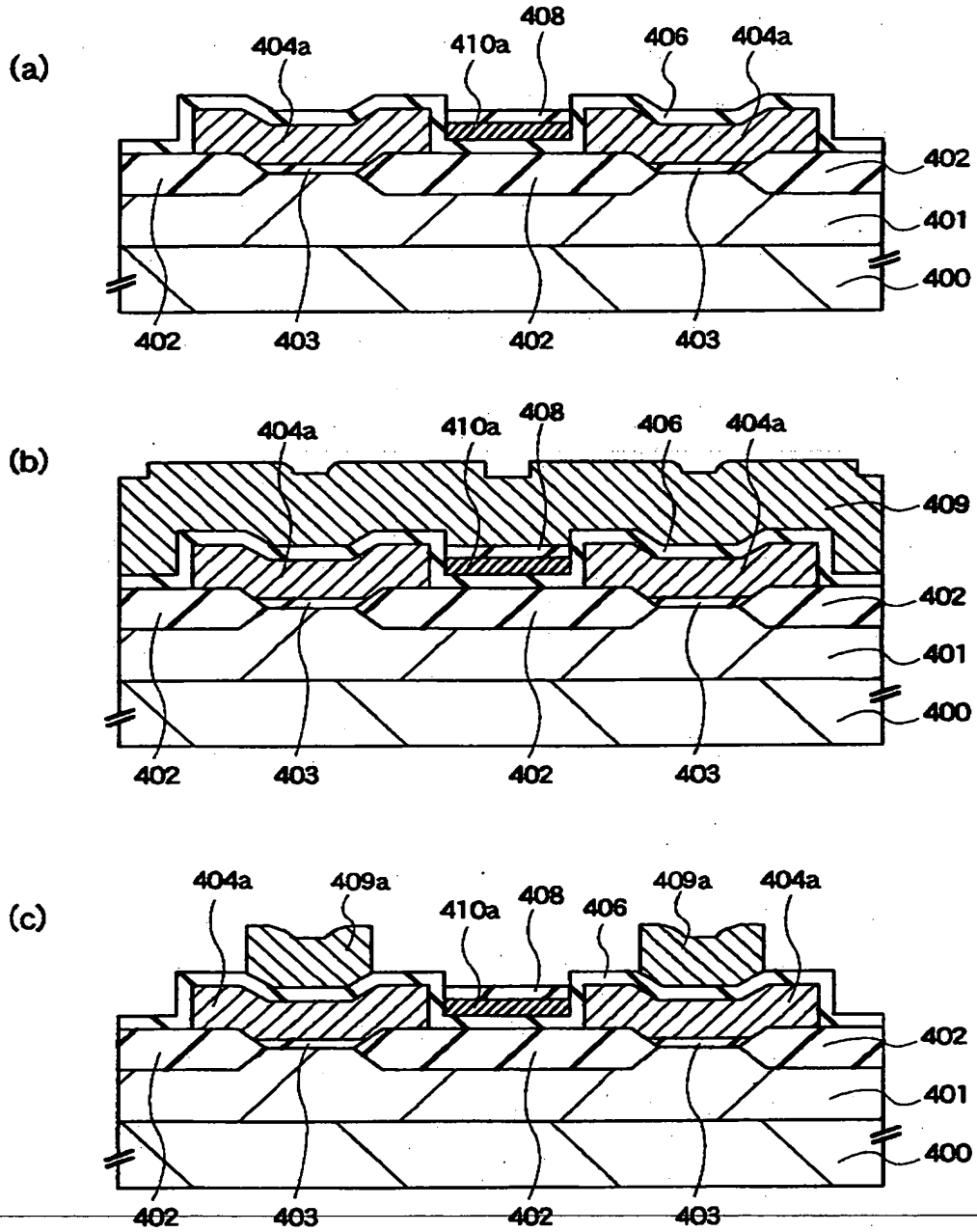
【図 23】

図 23



【図 24】

図 24



【書類名】 要約書

【要約】

【課題】 第3ゲートを有する半導体集積回路装置において、微細化と動作速度向上を図るとともに繰り返し書き換え後の高信頼化を図る。

【解決手段】 第1導電型のウェル201に形成された第2導電型のソース／ドレイン拡散層領域205と、半導体基板200上に絶縁膜202を介して形成された浮遊ゲート203bと、浮遊ゲート203b上に窒素を導入したシリコン酸化膜210aを介して形成された制御ゲート211aと、前記半導体基板、浮遊ゲート、制御ゲートと絶縁膜を介して形成され、浮遊ゲートおよび制御ゲートとは異なる第3ゲート207aを有する半導体集積回路装置において、上記第3ゲートがワード線およびチャネルと垂直な方向に存在する浮遊ゲートの隙間に埋込まれて形成され、第3ゲート207aの標高が浮遊ゲート203bの標高より低く形成されている。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 千葉県茂原市早野3681番地
氏 名 日立デバイスエンジニアリング株式会社